

# 付 録

## 付 録

A. 命 令	767
A. 1 命令一覧	767
A. 2 オペレーションコードマップ	782
A. 3 命令実行ステート数	785
B. 内部 I/O レジスタ一覧	795
B. 1 アドレス一覧	795
B. 2 機能一覧	803
C. I/O ポートブロック図	886
C. 1 ポート1ブロック図	886
C. 2 ポート2ブロック図	887
C. 3 ポート3ブロック図	888
C. 4 ポート4ブロック図	889
C. 5 ポート5ブロック図	890
C. 6 ポート6ブロック図	891
C. 7 ポート7ブロック図	895
C. 8 ポート8ブロック図	896
C. 9 ポート9ブロック図	899
C. 10 ポートAブロック図	903
C. 11 ポートBブロック図	907
D. 端子状態	911
D. 1 各処理状態におけるポートの状態	911
D. 2 リセット時の端子状態	914
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて	917
F. ROM発注手順	918
F. 1 ROM書き換え品開発の流れ（発注手順）	918
F. 2 ROM発注時の注意事項	919
G. 型名一覧	920
H. 外形寸法図	921

## A. 命令

### A. 1 命令一覧

《オペレーションの記号》

記 号	内 容
R d	デスティネーション側の汎用レジスタ
R s	ソース側の汎用レジスタ
R n	汎用レジスタ
E R d	デスティネーション側の汎用レジスタ (アドレスレジスタまたは32ビットレジスタ)
E R s	ソース側の汎用レジスタ (アドレスレジスタまたは32ビットレジスタ)
E R n	汎用レジスタ (32ビットレジスタ)
(E A d)	デスティネーションオペランド
(E A s)	ソースオペランド
P C	プログラムカウンタ
S P	スタックポインタ
C C R	コンディションコードレジスタ
N	C C RのN (ネガティブ) フラグ
Z	C C RのZ (ゼロ) フラグ
V	C C RのV (オーバフロー) フラグ
C	C C RのC (キャリ) フラグ
d i s p	ディスプレイースメント
→	左辺のオペランドから右辺のオペランドへの転送、 または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
∧	両辺のオペランドの論理積
∨	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理 (論理的補数)
() < >	オペランドの内容

【注】 汎用レジスタは、8ビット (R 0 H～R 7 H、R 0 L～R 7 L) または16ビット (R 0～R 7、E 0～E 7) です。

《コンディションコードの記号》

記 号	内 容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
1	常に“1”にセットされることを表します。
—	実行結果に影響を受けないことを表します。
△	条件によって異なります。注意事項を参照してください。

表 A. 1 命令セット一覧(1)

## (1) データ転送命令

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)										オペレーション		コンディショニングコード							実行対数 <sup>1)</sup>				
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H			N	Z	V	C	1/2W	7F/WZ						
MOV	MOV.B #xx:8, Rd	B	2															#xx:8→Rd8	-	-	↑	↑	0	-	-	2
	MOV.B Rs, Rd	B		2														Rs8→Rd8	-	-	↑	↑	0	-	-	2
	MOV.B @ERs, Rd	B			2													@ERs→Rd8	-	-	↑	↑	0	-	-	4
	MOV.B @(d:16, ERs), Rd	B				4												@(d:16, ERs)→Rd8	-	-	↑	↑	0	-	-	6
	MOV.B @(d:24, ERs), Rd	B				8												@(d:24, ERs)→Rd8	-	-	↑	↑	0	-	-	10
	MOV.B @ERst, Rd	B					2											@ERs→Rd8, ERs32+1→ERs32	-	-	↑	↑	0	-	-	6
	MOV.B @aa:8, Rd	B						2										@aa:8→Rd8	-	-	↑	↑	0	-	-	4
	MOV.B @aa:16, Rd	B						4										@aa:16→Rd8	-	-	↑	↑	0	-	-	6
	MOV.B @aa:24, Rd	B						6										@aa:24→Rd8	-	-	↑	↑	0	-	-	8
	MOV.B Rs, @ERd	B			2													Rs8→@ERd	-	-	↑	↑	0	-	-	4
	MOV.B Rs, @(d:16, ERd)	B				4												Rs8→@(d:16, ERd)	-	-	↑	↑	0	-	-	6
	MOV.B Rs, @(d:24, ERd)	B				8												Rs8→@(d:24, ERd)	-	-	↑	↑	0	-	-	10
	MOV.B Rs, @-ERd	B					2											ERd32-1→ERd32, Rs8→@ERd	-	-	↑	↑	0	-	-	6
	MOV.B Rs, @aa:8	B						2										Rs8→@aa:8	-	-	↑	↑	0	-	-	4
	MOV.B Rs, @aa:16	B						4										Rs8→@aa:16	-	-	↑	↑	0	-	-	6
	MOV.B Rs, @aa:24	B						6										Rs8→@aa:24	-	-	↑	↑	0	-	-	8
	MOV.W #xx:16, Rd	W	4															#xx:16→Rd16	-	-	↑	↑	0	-	-	4
	MOV.W Rs, Rd	W		2														Rs16→Rd16	-	-	↑	↑	0	-	-	2
	MOV.W @ERs, Rd	W			2													@ERs→Rd16	-	-	↑	↑	0	-	-	4
	MOV.W @(d:16, ERs), Rd	W				4												@(d:16, ERs)→Rd16	-	-	↑	↑	0	-	-	6
	MOV.W @(d:24, ERs), Rd	W				8												@(d:24, ERs)→Rd16	-	-	↑	↑	0	-	-	10
	MOV.W @ERst, Rd	W					2											@ERs→Rd16, ERs32+2→@ERd32	-	-	↑	↑	0	-	-	6
	MOV.W @aa:16, Rd	W						4										@aa:16→Rd16	-	-	↑	↑	0	-	-	6
	MOV.W @aa:24, Rd	W						6										@aa:24→Rd16	-	-	↑	↑	0	-	-	8

表 A. 1 命令セット一覧(2)

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)										オペレーション		コンディショニングコード							実行対数 <sup>1</sup>
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-			I	H	N	Z	V	C	1-7#	7bit	
MOV	MOV. W Rs, @ERd	W			2								Rs16→@ERd	-	-	↑	↑	0	-	-	4	
	MOV. W Rs, @(d:16, ERd)	W				4						Rs16→@(d:16, ERd)	-	-	↑	↑	0	-	-	6		
	MOV. W Rs, @(d:24, ERd)	W				8						Rs16→@(d:24, ERd)	-	-	↑	↑	0	-	-	10		
	MOV. W Rs, @-ERd	W					2					ERd32-2→ERd32, Rs16→@ERd	-	-	↑	↑	0	-	-	6		
	MOV. W Rs, @aa:16	W						4				Rs16→@aa:16	-	-	↑	↑	0	-	-	6		
	MOV. W Rs, @aa:24	W						6				Rs16→@aa:24	-	-	↑	↑	0	-	-	8		
	MOV. L #xx:32, Rd	L	6									#xx:32→Rd32	-	-	↑	↑	0	-	-	6		
	MOV. L ERs, ERd	L		2								ERs32→ERd32	-	-	↑	↑	0	-	-	2		
	MOV. L @ERs, ERd	L			4							@ERs→ERd32	-	-	↑	↑	0	-	-	8		
	MOV. L @(d:16, ERs), ERd	L				6						@(d:16, ERs)→ERd32	-	-	↑	↑	0	-	-	10		
POP	MOV. L @ERst, ERd	L				10						@(d:24, ERs)→ERd32	-	-	↑	↑	0	-	-	14		
	MOV. L @aa:16, ERd	L					4					@ERs→ERd32, ERs32+4→ERs32	-	-	↑	↑	0	-	-	10		
	MOV. L @aa:24, ERd	L						6				@aa:16→ERd32	-	-	↑	↑	0	-	-	10		
	MOV. L ERs, @ERd	L			4			8				@aa:24→ERd32	-	-	↑	↑	0	-	-	12		
	MOV. L ERs, @(d:16, ERd)	L				6						ERs32→@ERd	-	-	↑	↑	0	-	-	8		
	MOV. L ERs, @(d:24, ERd)	L				10						ERs32→@(d:16, ERd)	-	-	↑	↑	0	-	-	10		
	MOV. L ERs, @-ERd	L					4					ERs32→@(d:24, ERd)	-	-	↑	↑	0	-	-	14		
	MOV. L ERs, @aa:16	L						6				ERd32-4→ERd32, ERs32→@ERd	-	-	↑	↑	0	-	-	10		
	MOV. L ERs, @aa:24	L						8				ERs32→@aa:16	-	-	↑	↑	0	-	-	10		
	POP. W Rn	W									2	ERs32→@aa:24	-	-	↑	↑	0	-	-	12		
PUSH	POP. L ERn	L									4	@SP→Rn16, SP+2→SP	-	-	↑	↑	0	-	-	6		
	PUSH. W Rn	W									4	@SP→ERn32, SP+4→SP	-	-	↑	↑	0	-	-	10		
	PUSH. L ERn	L									2	SP-2→SP, Rn16→@SP	-	-	↑	↑	0	-	-	6		
MOVTYPE	MOVTYPE @aa:16, Rd	B						4				SP-4→SP, ERn32→@SP	-	-	↑	↑	0	-	-	10		
MOVTYPE	MOVTYPE Rs, @aa:16	B						4				本 L S I では使用できません										
								4				本 L S I では使用できません										

表 A. 1 命令セット一覧(3)

## (2) 算術演算命令

ニーモニック			アドレッシングモード/命令長 (バイト)										オペレーション		コンディショニングコード							実行回数	
サイズ	#xx	Rn	@Rn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	ノマ	7F/W/T						
ADD	ADD, B #xx:8, Rd	B	2							-	-	↑	↑	↑	↑	↑	2						
	ADD, B Rs, Rd	B		2						-	-	↑	↑	↑	↑	↑	2						
	ADD, W #xx:16, Rd	W	4							-	①	↑	↑	↑	↑	↑	4						
	ADD, W Rs, Rd	W		2						-	①	↑	↑	↑	↑	↑	2						
	ADD, L #xx:32, ERd	L	6							-	②	↑	↑	↑	↑	↑	6						
	ADD, L ERs, ERd	L		2						-	②	↑	↑	↑	↑	↑	2						
ADDX	ADDX, B #xx:8, Rd	B	2							-	↑	↑	③	↑	↑	↑	2						
	ADDX, B Rs, Rd	B		2						-	↑	↑	③	↑	↑	↑	2						
ADDS	ADDS, L #1, ERd	L		2						-	-	-	-	-	-	-	2						
	ADDS, L #2, ERd	L		2						-	-	-	-	-	-	-	2						
	ADDS, L #4, ERd	L		2						-	-	-	-	-	-	-	2						
	INC, B Rd	B		2						-	-	↑	↑	↑	↑	-	2						
INC	INC, W #1, Rd	W		2						-	-	↑	↑	↑	↑	-	2						
	INC, W #2, Rd	W		2						-	-	↑	↑	↑	↑	-	2						
	INC, L #1, ERd	L		2						-	-	↑	↑	↑	↑	-	2						
	INC, L #2, ERd	L		2						-	-	↑	↑	↑	↑	-	2						
	DAA Rd	B		2						-	*	↑	↑	*	-	-	2						
SUB	SUB, B Rs, Rd	B		2						-	↑	↑	↑	↑	↑	↑	2						
	SUB, W #xx:16, Rd	W	4							-	①	↑	↑	↑	↑	↑	4						
	SUB, W Rs, Rd	W		2						-	①	↑	↑	↑	↑	↑	2						
	SUB, L #xx:32, ERd	L	6							-	②	↑	↑	↑	↑	↑	6						
	SUB, L ERs, ERd	L		2						-	②	↑	↑	↑	↑	↑	2						
SUBX	SUBX, B #xx:8, Rd	B	2							-	↑	↑	③	↑	↑	↑	2						
	SUBX, B Rs, Rd	B		2						-	↑	↑	③	↑	↑	↑	2						

表 A. 1 命令セット一覧(4)

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)							オペレーション		コンディショニングコード							実行対数 <sup>1)</sup>
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	オペレーション		I	H	N	Z	V	C	実行対数 <sup>1)</sup>
SUBS	SUBS.L #1, ERd	L	2								ERd32-1→ERd32	-	-	-	-	-	-	-	2
	SUBS.L #2, ERd	L	2								ERd32-2→ERd32	-	-	-	-	-	-	-	2
	SUBS.L #4, ERd	L	2								ERd32-4→ERd32	-	-	-	-	-	-	-	2
DEC	DEC.B Rd	B	2								Rd8-1→Rd8	-	-	-	↑	↑	↑	-	2
	DEC.W #1, Rd	W	2								Rd16-1→Rd16	-	-	-	↑	↑	↑	-	2
	DEC.W #2, Rd	W	2								Rd16-2→Rd16	-	-	-	↑	↑	↑	-	2
	DEC.L #1, ERd	L	2								ERd32-1→ERd32	-	-	-	↑	↑	↑	-	2
DAS	DEC.L #2, ERd	L	2								ERd32-2→ERd32	-	-	-	↑	↑	↑	-	2
	DAS Rd	B	2								Rd8 10進補正→Rd8	-	*	↑	↑	*	-	2	
	MULXU.B Rs, Rd	B	2								Rd8×Rs8→Rd16 (符号なし乗算)	-	-	-	-	-	-	-	14
MULXU	MULXU.W Rs, ERd	W	2								Rd16×Rs16→ERd32 (符号なし乗算)	-	-	-	-	-	-	-	22
	MULXS.B Rs, Rd	B	4								Rd8×Rs8→Rd16 (符号付乗算)	-	-	-	↑	↑	-	-	16
DIVXU	MULXS.W Rs, ERd	W	4								Rd16×Rs16→ERd32 (符号付乗算)	-	-	-	↑	↑	-	-	24
	DIVXU.B Rs, Rd	B	2								Rd16÷Rs8→Rd16 (RdH:余り, RdL:商) (符号なし除算)	-	-	-	⑥	⑦	-	-	14
DIVXS	DIVXU.W Rs, ERd	W	2								ERd32÷Rs16→ERd32 (Ed:余り, Rd:商) (符号なし除算)	-	-	-	⑥	⑦	-	-	22
	DIVXS.B Rs, Rd	B	4								Rd16÷Rs8→Rd16 (RdH:余り, RdL:商) (符号付除算)	-	-	-	⑧	⑦	-	-	16
	DIVXS.W Rs, ERd	W	4								ERd32÷Rs16→ERd32 (Ed:余り, Rd:商) (符号付除算)	-	-	-	⑧	⑦	-	-	24
CMP	CMP.B #xx:8, Rd	B	2								Rd8-#xx:8	-	↑	↑	↑	↑	↑	↑	2
	CMP.B Rs, Rd	B	2								Rd8-Rs8	-	↑	↑	↑	↑	↑	↑	2
	CMP.W #xx:16, Rd	W	4								Rd16-#xx:16	-	①	↑	↑	↑	↑	↑	4
	CMP.W Rs, Rd	W	2								Rd16-Rs16	-	①	↑	↑	↑	↑	↑	2

表 A. 1 命令セット一覧(5)

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード							実行回数 <sup>※1</sup>	
			#xx	Rn	@ERn	@d, ERn	@-ERn/@ERn+	@aa	@d, PC		@@aa	I	H	N	Z	V	C	J-マ	TFNST
CMP	CMP. L #xx:32, ERd	L	6									②	↑	↑	↑	↑		4	
	CMP. L ERs, ERd	L		2								②	↑	↑	↑	↑		2	
NEG	NEG. B Rd	B		2								↑	↑	↑	↑	↑		2	
	NEG. W Rd	W		2								↑	↑	↑	↑	↑		2	
EXTU	NEG. L ERd	L		2								↑	↑	↑	↑	↑		2	
	EXTU. W Rd	W		2								↑	↑	↑	↑	↑		2	
EXTU	EXTU. L ERd	L		2								↑	↑	↑	↑	↑		2	
	EXTU. W Rd	W		2								↑	↑	↑	↑	↑		2	
EXTS	EXTS. W Rd	W		2								↑	↑	↑	↑	↑		2	
	EXTS. L ERd	L		2								↑	↑	↑	↑	↑		2	

## (3) 論理演算命令

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)										オペレーション		コンディションコード							実行回数 <sup>※1</sup>	
			#xx	Rn	@ERn	@d, ERn	@-ERn/@ERn+	@aa	@d, PC	@@aa	I	H			N	Z	V	C					
AND	AND. B #xx:8, Rd	B	2										-	-	↑	↑	0	-		2			
	AND. B Rs, Rd	B		2									-	-	↑	↑	0	-		2			
	AND. W #xx:16, Rd	W	4										-	-	↑	↑	0	-		4			
	AND. W Rs, Rd	W		2									-	-	↑	↑	0	-		2			
	AND. L #xx:32, ERd	L	6										-	-	↑	↑	0	-		6			
	AND. L ERs, ERd	L		4									-	-	↑	↑	0	-		4			
OR	OR. B #xx:8, Rd	B	2										-	-	↑	↑	0	-		2			
	OR. B Rs, Rd	B		2									-	-	↑	↑	0	-		2			
	OR. W #xx:16, Rd	W	4										-	-	↑	↑	0	-		4			
	OR. W Rs, Rd	W		2									-	-	↑	↑	0	-		2			



表 A. 1 命令セット一覧(6)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディショニングコード							実行サイクル数 <sup>*)</sup>
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	
OR	OR.L #xx:32, ERd	L	6							-	-	↑	↑	0	-	6
	OR.L ERs, ERd	L	4							-	-	↑	↑	0	-	4
XOR	XOR.B #xx:8, Rd	B	2							-	-	↑	↑	0	-	2
	XOR.B Rs, Rd	B	2							-	-	↑	↑	0	-	2
	XOR.W #xx:16, Rd	W	4							-	-	↑	↑	0	-	4
	XOR.W Rs, Rd	W	2							-	-	↑	↑	0	-	2
	XOR.L #xx:32, ERd	L	6							-	-	↑	↑	0	-	6
	XOR.L ERs, ERd	L	4							-	-	↑	↑	0	-	4
	NOT.B Rd	B	2							-	-	↑	↑	0	-	2
NOT	NOT.W Rd	W	2							-	-	↑	↑	0	-	2
	NOT.L ERd	L	2							-	-	↑	↑	0	-	2

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディショニングコード							実行サイクル数 <sup>*)</sup>
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	
SHAL	SHAL.B Rd	B	2							-	-	↑	↑	↑	↑	2
	SHAL.W Rd	W	2							-	-	↑	↑	↑	↑	2
	SHAL.L ERd	L	2							-	-	↑	↑	↑	↑	2
SHAR	SHAR.B Rd	B	2							-	-	↑	↑	0	↑	2
	SHAR.W Rd	W	2							-	-	↑	↑	0	↑	2
	SHAR.L ERd	L	2							-	-	↑	↑	0	↑	2
SHLL	SHLL.B Rd	B	2							-	-	↑	↑	0	↑	2
	SHLL.W Rd	W	2							-	-	↑	↑	0	↑	2
	SHLL.L ERd	L	2							-	-	↑	↑	0	↑	2

表 A. 1 命令セット一覧(7)

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)									オペレーション	コンディショニングコード							実行バイト数 <sup>1)</sup>																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-		I	H	N	Z	V <sub>2</sub>	C	7バイト	7バイト																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
SHLR	SHLR.B Rd	B		2																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												

## (5) ビット操作命令

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)										オペレーション	コンディショニングコード							実行バイト数 <sup>1)</sup>					
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	--	I		H	N	Z	V	C	7バイト	7バイト						
BSET	BSET #xx:3, Rd	B		2															(#xx:3 of Rd8) ← 1	--	--	--	--	--	2	2
	BSET #xx:3, @ERd	B			4														(#xx:3 of @ERd) ← 1	--	--	--	--	--	8	8
	BSET #xx:3, @aa:8	B							4										(#xx:3 of @aa:8) ← 1	--	--	--	--	--	8	8
	BSET Rn, Rd	B		2															(Rn8 of Rd8) ← 1	--	--	--	--	--	2	2
	BSET Rn, @ERd	B			4														(Rn8 of @ERd) ← 1	--	--	--	--	--	8	8
	BSET Rn, @aa:8	B							4										(Rn8 of @aa:8) ← 1	--	--	--	--	--	8	8

表 A. 1 命令セット一覧(8)

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)										オペレーション		コンディショニングコード							実行回数*			
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I			H	N	Z	V	C	7-7n	7f/7s/7t				
BCLR	BCLR #xx:3, Rd	B		2														(#xx:3 of Rd8)←0	-	-	-	-	-	-	2
	BCLR #xx:3, @ERd	B			4													(#xx:3 of @ERd)←0	-	-	-	-	-	-	8
	BCLR #xx:3, @aa:8	B								4								(#xx:3 of @aa:8)←0	-	-	-	-	-	-	8
	BCLR Rn, Rd	B		2														(Rn8 of Rd8)←0	-	-	-	-	-	-	2
	BCLR Rn, @ERd	B			4													(Rn8 of @ERd)←0	-	-	-	-	-	-	8
BNOT	BCLR Rn, @aa:8	B								4								(Rn8 of @aa:8)←0	-	-	-	-	-	-	8
	BNOT #xx:3, Rd	B		2														(#xx:3 of Rd8)←~(#xx:3of Rd8)	-	-	-	-	-	-	2
	BNOT #xx:3, @ERd	B			4													(#xx:3 of @ERd)←~(#xx:3of @ERd)	-	-	-	-	-	-	8
	BNOT #xx:3, @aa:8	B								4								(#xx:3 of @aa:8)←~(#xx:3of @aa:8)	-	-	-	-	-	-	8
	BNOT Rn, Rd	B		2														(Rn8 of Rd8)←~(Rn8 of Rd8)	-	-	-	-	-	-	2
BNOT	BNOT Rn, @ERd	B			4													(Rn8 of @ERd)←~(Rn8 of @ERd)	-	-	-	-	-	-	8
	BNOT Rn, @aa:8	B								4								(Rn8 of @aa:8)←~(Rn8 of @aa:8)	-	-	-	-	-	-	8
	BTST #xx:3, Rd	B		2														~(#xx:3 of Rd8)→Z	-	-	-	↑	-	-	2
	BTST #xx:3, @ERd	B			4													~(#xx:3 of @ERd)→Z	-	-	-	↑	-	-	6
	BTST #xx:3, @aa:8	B								4								~(#xx:3 of @aa:8)→Z	-	-	-	↑	-	-	6
BTST	BTST Rn, Rd	B		2														~(Rn8 of @Rd8)→Z	-	-	-	↑	-	-	2
	BTST Rn, @ERd	B			4													~(Rn8 of @ERd)→Z	-	-	-	↑	-	-	6
	BTST Rn, @aa:8	B								4								~(Rn8 of @aa:8)→Z	-	-	-	↑	-	-	6
	BLD #xx:3, Rd	B		2														(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2
	BLD #xx:3, @ERd	B			4													(#xx:3 of @ERd)→C	-	-	-	-	-	↑	6
BLD	BLD #xx:3, @aa:8	B								4								(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	6
	BILD #xx:3, Rd	B		2														~(#xx:3 of Rd8)→C	-	-	-	-	-	↑	2
	BILD #xx:3, @ERd	B			4													~(#xx:3 of @ERd)→C	-	-	-	-	-	↑	6
	BILD #xx:3, @aa:8	B								4								~(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	6
	BILD #xx:3, @aa:8	B								4								~(#xx:3 of @aa:8)→C	-	-	-	-	-	↑	6

表 A. 1 命令セット一覧(9)

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディショニングコード						実行ステップ数*
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERnt	@aa	@(d, PC)		@@aa	I	H	N	Z	V	
BST	BST #xx:3, Rd	B		2								-	-	-	-	-	2
	BST #xx:3, @ERd	B			4							-	-	-	-	-	8
	BST #xx:3, @aa:8	B							4			-	-	-	-	-	8
BIST	BIST #xx:3, Rd	B		2									-	-	-	-	2
	BIST #xx:3, @ERd	B			4							-	-	-	-	-	8
	BIST #xx:3, @aa:8	B							4			-	-	-	-	-	8
BAND	BAND #xx:3, Rd	B		2									-	-	-	-	2
	BAND #xx:3, @ERd	B			4							-	-	-	-	↑	6
	BAND #xx:3, @aa:8	B							4			-	-	-	-	↑	6
BIAND	BIAND #xx:3, Rd	B		2									-	-	-	-	2
	BIAND #xx:3, @ERd	B			4							-	-	-	-	↑	6
	BIAND #xx:3, @aa:8	B							4			-	-	-	-	↑	6
BOR	BOR #xx:3, Rd	B		2									-	-	-	-	2
	BOR #xx:3, @ERd	B			4							-	-	-	-	↑	6
	BOR #xx:3, @aa:8	B							4			-	-	-	-	↑	6
BIOR	BIOR #xx:3, Rd	B		2									-	-	-	-	2
	BIOR #xx:3, @ERd	B			4							-	-	-	-	↑	6
	BIOR #xx:3, @aa:8	B							4			-	-	-	-	↑	6
BXOR	BXOR #xx:3, Rd	B		2									-	-	-	-	2
	BXOR #xx:3, @ERd	B			4							-	-	-	-	↑	6
	BXOR #xx:3, @aa:8	B							4			-	-	-	-	↑	6
BIXOR	BIXOR #xx:3, Rd	B		2									-	-	-	-	2
	BIXOR #xx:3, @ERd	B			4							-	-	-	-	↑	6
	BIXOR #xx:3, @aa:8	B							4			-	-	-	-	↑	6

## (6) 分岐命令

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディショニングコード							実行回数*	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa		I	H	N	Z	V	C	7Fワード		
Bcc	BRA d:8(BT d:8)	—									2				—	—	—	—	4	
	BRA d:16(BT d:16)	—									4				—	—	—	—	6	
	BRN d:8(BF d:8)	—									2				—	—	—	—	4	
	BRN d:16(BF d:16)	—									4				—	—	—	—	6	
	BHI d:8	—									2				—	—	—	—	4	
	BHI d:16	—									4				—	—	—	—	6	
	BLS d:8	—									2				—	—	—	—	4	
	BLS d:16	—									4				—	—	—	—	6	
	BCC d:8(BHS d:8)	—									2				—	—	—	—	4	
	BCC d:16(BHS d:16)	—									4				—	—	—	—	6	
	BCS d:8(BLO d:8)	—									2				—	—	—	—	4	
	BCS d:16(BLO d:16)	—									4				—	—	—	—	6	
	BNE d:8	—									2				—	—	—	—	4	
	BNE d:16	—									4				—	—	—	—	6	
	BEQ d:8	—									2				—	—	—	—	4	
	BEQ d:16	—									4				—	—	—	—	6	
	BVC d:8	—									2				—	—	—	—	4	
	BVC d:16	—									4				—	—	—	—	6	
	BVS d:8	—									2				—	—	—	—	4	
	BVS d:16	—									4				—	—	—	—	6	
	BPL d:8	—									2				—	—	—	—	4	
	BPL d:16	—									4				—	—	—	—	6	
	BMI d:8	—									2				—	—	—	—	4	
	BMI d:16	—									4				—	—	—	—	6	

表 A. 1 命令セット一覧(1)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	分岐条件	コンディションコード							実行サイクル数 <sup>①</sup>
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa		I	H	N	Z	V	C	/- <sup>②</sup>	
Bcc	BGE d:8	—						2			—	—	—	—	—	—	—	4
	BGE d:16	—						4			—	—	—	—	—	—	—	6
	BLT d:8	—						2			—	—	—	—	—	—	—	4
	BLT d:16	—						4			—	—	—	—	—	—	—	6
	BGT d:8	—						2			—	—	—	—	—	—	—	4
	BGT d:16	—						4			—	—	—	—	—	—	—	6
	BLE d:8	—						2			—	—	—	—	—	—	—	4
JMP	BLE d:16	—						4			—	—	—	—	—	—	—	6
	JMP @ERn	—		2							—	—	—	—	—	—	—	4
	JMP @aa:24	—					4				—	—	—	—	—	—	—	6
	JMP @aa:8	—							2		—	—	—	—	—	—	—	8
	BSR d:8	—						2			—	—	—	—	—	—	—	6
	BSR d:16	—						4			—	—	—	—	—	—	—	8
	BSR @ERn	—		2							—	—	—	—	—	—	—	6
JSR	JSR @aa:24	—					4				—	—	—	—	—	—	—	8
	JSR @aa:8	—							2		—	—	—	—	—	—	—	8
	RTS	—							2		—	—	—	—	—	—	—	8

表 A. 1 命令セット一覧(2)

## (7) システム制御命令

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)										オペレーション		コンディショニングコード					実行バイト数 <sup>1)</sup>		
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERN+	@aa	@(d, PC)	@@aa	-				I	H	N	Z	V	C	J-74	J74NST
TRAPA	TRAPA #x:2	-									2			PC→@-SP, CCR→@-SP, <4>→PC	1	-	-	-	-	-	14	16
RTE	RTE	-												CCR←@SP+, PC←@SP+	↑	↑	↑	↑	↑	↑	10	
SLEEP	SLEEP	-												低消費電力状態に遷移	-	-	-	-	-	-	2	
LDC	LDC #xx:8, CCR	B	2											#xx:8→CCR	↑	↑	↑	↑	↑	↑	2	
	LDC Rs, CCR	B		2										Rs8→CCR	↑	↑	↑	↑	↑	↑	2	
	LDC @ERs, CCR	W			4									@ERs→CCR	↑	↑	↑	↑	↑	↑	6	
	LDC @(d:16, ERs), CCR	W				6								@(d:16, ERs)→CCR	↑	↑	↑	↑	↑	↑	8	
	LDC @(d:24, ERs), CCR	W				10								@(d:24, ERs)→CCR	↑	↑	↑	↑	↑	↑	12	
	LDC @ERst, CCR	W					4							@ERs→CCR, ERs32+2→ERs32	↑	↑	↑	↑	↑	↑	8	
	LDC @aa:16, CCR	W						6						@aa:16→CCR	↑	↑	↑	↑	↑	↑	8	
	LDC @aa:24, CCR	W						8						@aa:24→CCR	↑	↑	↑	↑	↑	↑	10	
	STC CCR, Rd	B		2										CCR→Rd8	-	-	-	-	-	-	2	
	STC CCR, @ERd	W			4									CCR→@ERd	-	-	-	-	-	-	6	
STC	STC CCR, @(d:16, ERd)	W				6								CCR→@(d:16, ERd)	-	-	-	-	-	-	8	
	STC CCR, @(d:24, ERd)	W				10								CCR→@(d:24, ERd)	-	-	-	-	-	-	12	
	STC CCR, @-ERd	W					4							ERd32-2→ERd32, CCR→@ERd	-	-	-	-	-	-	8	
	STC CCR, @aa:16	W						6						CCR→@aa:16	-	-	-	-	-	-	8	
	STC CCR, @aa:24	W						8						CCR→@aa:24	-	-	-	-	-	-	10	
	ANDC #xx:8, CCR	B	2											CCR ∧ #xx:8→CCR	↑	↑	↑	↑	↑	↑	2	
	ORC #xx:8, CCR	B	2											CCR ∨ #xx:8→CCR	↑	↑	↑	↑	↑	↑	2	
	XORC #xx:8, CCR	B	2											CCR ⊕ #xx:8→CCR	↑	↑	↑	↑	↑	↑	2	
	NOP	-										2		PC←PC+2	-	-	-	-	-	-	2	

表 A. 1 命令セット一覧(13)

## (8) ブロック転送命令

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディショニングコード						実行対数 <sup>*1</sup>																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																		
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/ERn+	@aa	@(d, PC)		@@aa	I	H	N	Z	V	C	7バイト	7バイト																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
EEPMOV	EEPMOV.B	—									4																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																								

【注】<sup>\*1</sup> 実行ステート数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステート数」を参照してください。

<sup>\*\*</sup> nはR4LまたはR4の設定値です。

- ① ビット11から桁上りまたはビット11へ桁下がりが発生したとき“1”にセットされ、それ以外るとき“0”にクリアされます。
- ② ビット27から桁上りまたはビット27へ桁下がりが発生したとき“1”にセットされ、それ以外るとき“0”にクリアされます。
- ③ 演算結果がゼロのとき、演算前の値を保持し、それ以外るとき“0”にクリアされます。
- ④ 補正結果に桁上りが発生したとき、“1”にセットされ、それ以外るとき演算前の値を保持します。
- ⑤ Eクロック同期転送命令の実行ステート数は一定ではありません。
- ⑥ 除数が負のとき“1”にセットされ、それ以外るとき“0”にクリアされます。
- ⑦ 除数がゼロのとき“1”にセットされ、それ以外るとき“0”にクリアされます。
- ⑧ 商が負のとき“1”にセットされ、それ以外るとき“0”にクリアされます。



二、  
一、  
三、  
四、  
五、

第1バイト		第2バイト	
AH	AL	BH	BL

— B H の最上位ビットが 0 の場合を示します。  
— B H の最上位ビットが 1 の場合を示します。

AL AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F		
0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD		表A.2(2)	表A.2(2)	MOV		ADDX	表A.2(2)		
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB		表A.2(2)	表A.2(2)	CMP		SUBX	表A.2(2)		
2	MOV. B																	
3																		
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE		
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR			
6					OR	XOR	AND	BST	MOV									
7	BSET	BNOT	BCLR	BTST	BOR BIOR	BXOR BIXOR	BAND BIAND	BLD BILD	MOV	表A.2(2)	表A.2(2)	EEPMOV	表A.2(3)					
8	ADD																	
9	ADDX																	
A	CMP																	
B	SUBX																	
C	OR																	
D	XOR																	
E	AND																	
F	MOV																	

表A. 2 オペレーションコードマップ(2)

命令コード:

第1バイト	第2バイト
AH	AL
BH	BL

BH AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV				LDC/STC				SLEEP					表A.2(3)		表A.2(3)
0A	INC												ADD			
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA												MOV			
10	SHLL			SHLL					SHAL			SHAL				
11	SHLR			SHLR					SHAR			SHAR				
12	ROTXL			ROTXL					ROTL			ROTL				
13	ROTXR			ROTXR					ROTR			ROTR				
17	NOT			NOT		EXTU		EXTU	NEG			NEG		EXTS		EXTS
1A	DEC												SUB			
1B	SUBS					DEC		DEC	SUBS					DEC		DEC
1F	DAS												CMP			
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

表 A. 2 オペレーションコードマップ(3)

命令コード:

第1バイト		第2バイト		第3バイト		第4バイト	
AH	AL	BH	BL	CH	CL	DH	DL

CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AHALBHBLCH																
01406											LDC	LDC	LDC	LDC	LDC	LDC
01C05	MULXS		MULXS													
01D05		DIVXS		DIVXS												
01F06						OR	XOR	AND								
7Cr06**																
7Cr07**				BTST												
7Dr06**																
7Dr07**																
7Eaa6**																
7Eaa7**																
7Faa6**																
7Faa7**																

【注】\*\* rはレジスタ指定部

\*\* aaは絶対アドレス指定部

### A.3 命令実行ステート数

H8/300H CPUの各命令についての実行状態と実行ステート数の計算方法を示します。

表A.4に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表A.3に各々のサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

#### ■ 実行ステート数計算例

(例) アドバンスモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時8ビットバス幅、外部デバイスアクセス時16ビットバス幅で3ステートアクセス1ウェイト挿入とした場合

1. BSET #0、@FFFC7:8

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 4, S_L = 3$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 3 = 14$$

2. JSR @@30

表A.4より

$$I = J = K = 2, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.3 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	ア ク セ ス 対 象						
	内 蔵 メ モ リ	内蔵周辺モジュール		外部デバイス			
				8ビットバス		16ビットバス	
		8ビット バス	16ビット バス	2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S <sub>I</sub>	2	6	3	4	6+2m	2	3+m
分岐アドレスリード S <sub>J</sub>							
スタック操作 S <sub>K</sub>							
バイトデータアクセス S <sub>L</sub>		3		2	3+m		
ワードデータアクセス S <sub>M</sub>		6		4	6+2m		
内部動作 S <sub>N</sub>	1						

《記号説明》

m：外部デバイスアクセス時のウェイトステート数

表 A.4 命令実行状態（サイクル数）(1)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部 動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					

表 A.4 命令実行状態（サイクル数）(2)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部 動作
		I	J	K	L	M	N
Bcc	BLE d:8	2					
	BRA d:16 (BT d:16)	2					2
	BRN d:16 (BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16 (BHS d:16)	2					2
	BCS d:16 (BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
	BLE d:16	2					2
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		

表 A.4 命令実行状態（サイクル数）(3)

命令	ニーモニック		命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部 動作
			I	J	K	L	M	N
BIXOR	BIXOR #xx:3, Rd		1					
	BIXOR #xx:3, @ERd		2			1		
	BIXOR #xx:3, @aa:8		2			1		
BLD	BLD #xx:3, Rd		1					
	BLD #xx:3, @ERd		2			1		
	BLD #xx:3, @aa:8		2			1		
BNOT	BNOT #xx:3, Rd		1					
	BNOT #xx:3, @ERd		2			2		
	BNOT #xx:3, @aa:8		2			2		
	BNOT Rn, Rd		1					
	BNOT Rn, @ERd		2			2		
	BNOT Rn, @aa:8		2			2		
BOR	BOR #xx:3, Rd		1					
	BOR #xx:3, @ERd		2			1		
	BOR #xx:3, @aa:8		2			1		
BSET	BSET #xx:3, Rd		1					
	BSET #xx:3, @ERd		2			2		
	BSET #xx:3, @aa:8		2			2		
	BSET Rn, Rd		1					
	BSET Rn, @ERd		2			2		
	BSET Rn, @aa:8		2			2		
BSR	BSR d:8	ノーマル*	2		1			
		アドバンスト	2		2			
	BSR d:16	ノーマル*	2		1			2
		アドバンスト	2		2			2
BST	BST #xx:3, Rd		1					
	BST #xx:3, @ERd		2			2		
	BST #xx:3, @aa:8		2			2		
BTST	BTST #xx:3, Rd		1					
	BTST #xx:3, @ERd		2			1		
	BTST #xx:3, @aa:8		2			1		
	BTST Rn, Rd		1					
	BTST Rn, @ERd		2			1		
	BTST Rn, @aa:8		2			1		

【注】\* 本 L S I では使用できません。



表 A.4 命令実行状態（サイクル数）(4)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部 動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*2}$		
	EEPMOV.W	2			$2n+2^{*2}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
		アドバンス	2				2
JSR	JSR @ERn	2		1			
		アドバンス	2	2			
	JSR @aa:24	2		1			2

【注】\*<sup>1</sup> 本 L S I では使用できません。

\*<sup>2</sup> n は R 4 L、R 4 の設定値です。ソース側、ディスティネーション側のアクセスが、それぞれ (n + 1) 回行われます。

表 A.4 命令実行状態 (サイクル数) (5)

命令	ニーモニック		命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部 動作
			I	J	K	L	M	N
JSR	JSR @aa:24	アドバンスト	2		2			2
	JSR @@aa:8	ノーマル*	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8, CCR		1					
	LDC Rs, CCR		1					
	LDC @ERs, CCR		2				1	
	LDC @(d:16, ERs), CCR		3				1	
	LDC @(d:24, ERs), CCR		5				1	
	LDC @ERs+, CCR		2				1	2
	LDC @aa:16, CCR		3				1	
	LDC @aa:24, CCR		4				1	
MOV	MOV.B #xx:8, Rd		1					
	MOV.B Rs, Rd		1					
	MOV.B @ERs, Rd		1			1		
	MOV.B @(d:16, ERs), Rd		2			1		
	MOV.B @(d:24, ERs), Rd		4			1		
	MOV.B @ERs+, Rd		1			1		2
	MOV.B @aa:8, Rd		1			1		
	MOV.B @aa:16, Rd		2			1		
	MOV.B @aa:24, Rd		3			1		
	MOV.B Rs, @ERd		1			1		
	MOV.B Rs, @(d:16, ERd)		2			1		
	MOV.B Rs, @(d:24, ERd)		4			1		
	MOV.B Rs, @-ERd		1			1		2
	MOV.B Rs, @aa:8		1			1		
	MOV.B Rs, @aa:16		2			1		
	MOV.B Rs, @aa:24		3			1		
	MOV.W #xx:16, Rd		2					
	MOV.W Rs, Rd		1					
	MOV.W @ERs, Rd		1				1	
	MOV.W @(d:16, ERs), Rd		2				1	
	MOV.W @(d:24, ERs), Rd		4				1	
	MOV.W @ERs+, Rd		1				1	2
	MOV.W @aa:16, Rd		2				1	

【注】\* 本 L S I では使用できません

表 A.4 命令実行状態（サイクル数）(6)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部 動作
		I	J	K	L	M	N
MOV	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	
	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16, ERs), ERd	3				2	
	MOV.L @(d:24, ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @(d:16, ERd)	3				2	
	MOV.L ERs, @(d:24, ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:24	4				2	
MOVFP	MOVFP @aa:16, Rd*	2			1		
MOVTPE	MOVTPE Rs, @aa:16*	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

【注】\* 本 L S I では使用できません

表 A.4 命令実行状態（サイクル数）(7)

命令	ニーモニック		命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部 動作
			I	J	K	L	M	N
OR	OR.B #xx:8, Rd		1					
	OR.B Rs, Rd		1					
	OR.W #xx:16, Rd		2					
	OR.W Rs, Rd		1					
	OR.L #xx:32, ERd		3					
	OR.L ERs, ERd		2					
ORC	ORC #xx:8, CCR		1					
POP	POP.W Rn		1				1	2
	POP.L ERn		2				2	2
PUSH	PUSH.W Rn		1				1	2
	PUSH.L ERn		2				2	2
ROTL	ROTL.B Rd		1					
	ROTL.W Rd		1					
	ROTL.L ERd		1					
ROTR	ROTR.B Rd		1					
	ROTR.W Rd		1					
	ROTR.L ERd		1					
ROTXL	ROTXL.B Rd		1					
	ROTXL.W Rd		1					
	ROTXL.L ERd		1					
ROTXR	ROTXR.B Rd		1					
	ROTXR.W Rd		1					
	ROTXR.L ERd		1					
RTE	RTE		2		2			2
RTS	RTS	ノーマル *	2		1			2
		アドバンスト	2		2			2
SHAL	SHAL.B Rd		1					
	SHAL.W Rd		1					
	SHAL.L ERd		1					
SHAR	SHAR.B Rd		1					
	SHAR.W Rd		1					
	SHAR.L ERd		1					
SHLL	SHLL.B Rd		1					
	SHLL.W Rd		1					

【注】\* 本 L S I では使用できません。

表 A.4 命令実行状態（サイクル数）(8)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部 動作
		I	J	K	L	M	N
SHLL	SHLL.L ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16, ERd)	3				1	
	STC CCR, @(d:24, ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #x:2	ノーマル*	1	2			4
		アドバンスト	2	2			4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】\* 本 L S I では使用できません。

## B. 内部 I/O レジスタ一覧

### B. 1 アドレス一覧

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 1C											
H' 1D											
H' 1E											
H' 1F											
H' 20	MAR0AR	8									DMAC チャンネル0 A
H' 21	MAR0AE	8									
H' 22	MAR0AH	8									
H' 23	MAR0AL	8									
H' 24	ETCR0AH	8									
H' 25	ETCR0AL	8									
H' 26	IOAR0A	8									
H' 27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	7ビットアドレスモード
H' 28	MAR0BR	8									DMAC チャンネル0 B
H' 29	MAR0BE	8									
H' 2A	MAR0BH	8									
H' 2B	MAR0BL	8									
H' 2C	ETCR0BH	8									
H' 2D	ETCR0BL	8									
H' 2E	IOAR0B	8									
H' 2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	——	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	7ビットアドレスモード
H' 30	MAR1AR	8									DMAC チャンネル1 A
H' 31	MAR1AE	8									
H' 32	MAR1AH	8									
H' 33	MAR1AL	8									
H' 34	ETCR1AH	8									
H' 35	ETCR1AL	8									
H' 36	IOAR1A	8									
H' 37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	7ビットアドレスモード

《記号説明》

(次頁に続く)

DMAC : DMAコントローラ

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 38	MAR1BR	8									DMAC チャンネル1B
H' 39	MAR1BE	8									
H' 3A	MAR1BH	8									
H' 3B	MAR1BL	8									
H' 3C	ETCR1BH	8									
H' 3D	ETCR1BL	8									
H' 3E	IOAR1B	8									
H' 3F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	——	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	7Mアドレスモード
H' 40	FLMCR	8	V <sub>PP</sub>	V <sub>PP</sub> E	——	——	EV	PV	E	P	フラッシュ メモリ
H' 41	——		——	——	——	——	——	——	——	——	
H' 42	EBR1	8	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	
H' 43	EBR2	8	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	
H' 44	——		——	——	——	——	——	——	——	——	
H' 45	——		——	——	——	——	——	——	——	——	
H' 46	——		——	——	——	——	——	——	——	——	
H' 47	——		——	——	——	——	——	——	——	——	
H' 48	RAMCR	8	FLER	——	——	——	RAMS	RAM2	RAM1	RAM0	
H' 49	——		——	——	——	——	——	——	——	——	
H' 4A	——		——	——	——	——	——	——	——	——	
H' 4B	——		——	——	——	——	——	——	——	——	
H' 4C	——		——	——	——	——	——	——	——	——	
H' 4D	——		——	——	——	——	——	——	——	——	
H' 4E	——		——	——	——	——	——	——	——	——	
H' 4F	——		——	——	——	——	——	——	——	——	

(次頁に続く)

《記号説明》

DMAC : DMAコントローラ

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 50	_____		—	—	—	—	—	—	—	—	
H' 51	_____		—	—	—	—	—	—	—	—	
H' 52	_____		—	—	—	—	—	—	—	—	
H' 53	_____		—	—	—	—	—	—	—	—	
H' 54	_____		—	—	—	—	—	—	—	—	
H' 55	_____		—	—	—	—	—	—	—	—	
H' 56	_____		—	—	—	—	—	—	—	—	
H' 57	_____		—	—	—	—	—	—	—	—	
H' 58	_____		—	—	—	—	—	—	—	—	
H' 59	_____		—	—	—	—	—	—	—	—	
H' 5A	_____		—	—	—	—	—	—	—	—	
H' 5B	_____		—	—	—	—	—	—	—	—	
H' 5C	D A S T C R	8	—	—	—	—	—	—	—	DASTE	D/A変換器
H' 5D	D I V C R	8	—	—	—	—	—	—	DIV1	DIV0	システム制御
H' 5E	M S T C R	8	PSTOP	—	MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0	
H' 5F	C S C R	8	CS7E	CS6E	CS5E	CS4E	—	—	—	—	バスコントローラ
H' 60	T S T R	8	—	—	—	STR4	STR3	STR2	STR1	STR0	I T U 共 通
H' 61	T S N C	8	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H' 62	T M D R	8	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H' 63	T F C R	8	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	
H' 64	T C R 0	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	I T U チャンネル0
H' 65	T I O R 0	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H' 66	T I E R 0	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H' 67	T S R 0	8	—	—	—	—	—	OVF	IMFB	IMFA	
H' 68	T C N T 0 H	16									
H' 69	T C N T 0 L										
H' 6A	G R A 0 H	16									
H' 6B	G R A 0 L										
H' 6C	G R B 0 H	16									
H' 6D	G R B 0 L										

《記号説明》

(次頁へ続く)

I T U : 16ビットインテグレートドタイマユニット



(前頁より続く)

下位 7Fh	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 6E	TCR1	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル1
H' 6F	TIOR1	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H' 70	TIER1	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H' 71	TSR1	8	—	—	—	—	—	OVF	IMFB	IMFA	
H' 72	TCNT1H	16									
H' 73	TCNT1L										
H' 74	GRA1H	16									
H' 75	GRA1L										
H' 76	GRB1H	16									
H' 77	GRB1L										
H' 78	TCR2	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル2
H' 79	TIOR2	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H' 7A	TIER2	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H' 7B	TSR2	8	—	—	—	—	—	OVF	IMFB	IMFA	
H' 7C	TCNT2H	16									
H' 7D	TCNT2L										
H' 7E	GRA2H	16									
H' 7F	GRA2L										
H' 80	GRB2H	16									
H' 81	GRB2L										
H' 82	TCR3	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル3
H' 83	TIOR3	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H' 84	TIER3	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H' 85	TSR3	8	—	—	—	—	—	OVF	IMFB	IMFA	
H' 86	TCNT3H	16									
H' 87	TCNT3L										
H' 88	GRA3H	16									
H' 89	GRA3L										
H' 8A	GRB3H	16									
H' 8B	GRB3L										
H' 8C	BRA3H	16									
H' 8D	BRA3L										
H' 8E	BRB3H	16									
H' 8F	BRB3L										

《記号説明》

ITU: 16ビットインテグレートドタイマユニット

(次頁へ続く)

(前頁より続く)

下位 7アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'90	TOER	8	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3	ITU 共通
H'91	TOCR	8	—	—	—	XTGD	—	—	OLS4	OLS3	
H'92	TCR4	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル4
H'93	TIOR4	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'94	TIER4	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'95	TSR4	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'96	TCNT4H	16									
H'97	TCNT4L										
H'98	GRA4H	16									
H'99	GRA4L										
H'9A	GRB4H	16									
H'9B	GRB4L										
H'9C	BRA4H	16									
H'9D	BRA4L										
H'9E	BRB4H	16									
H'9F	BRB4L										
H'A0	TPMR	8	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV	TPC
H'A1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'A2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H'A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H'A4	NDRB**	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
		8	NDR15	NDR14	NDR13	NDR12	—	—	—	—	
H'A5	NDRA**	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
		8	NDR7	NDR6	NDR5	NDR4	—	—	—	—	
H'A6	NDRB**	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
H'A7	NDRA**	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
H'A8	TCSR**	8	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT
H'A9	TCNT**	8									

(次頁に続く)

【注】\*1 出力トリガの設定によりアドレスが変化します。

\*2 TCSR、TCNTのライトについては「12.2.4 レジスタ書換え時の注意」を参照してください。

《記号説明》

ITU : 16ビットインテグレートドタイマユニット

TPC : プログラマブルタイミングパターンコントローラ

WDT : ウォッチドッグタイマ

(前頁より続く)

下位 7アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'AA	———		——	——	——	——	——	——	——	——	WDT
H'AB	RSTCSR*	8	WRST	RSTOE	——	——	——	——	——	——	
H'AC	RFSHCR	8	SRFMD	PSRAME	DRAME	CAS/WE	M9/M8	RFSHE	——	RCYCE	リフレッシュ コントローラ
H'AD	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0	——	——	——	
H'AE	RTCNT	8									
H'AF	RTCOR	8									
H'B0	SMR	8	C/A GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャンネル0
H'B1	BRR	8									
H'B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'B3	TDR	8									
H'B4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H'B5	RDR	8									
H'B6	SCMR	8	——	——	——	——	SDIR	SINV	——	SMIF	
H'B7											SCI チャンネル1
H'B8	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	
H'B9	BRR	8									
H'BA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'BB	TDR	8									
H'BC	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'BD	RDR	8									
H'BE	———		——	——	——	——	——	——	——	——	
H'BF											
H'C0	P1DDR	8	P1 <sub>7</sub> DDR	P1 <sub>6</sub> DDR	P1 <sub>5</sub> DDR	P1 <sub>4</sub> DDR	P1 <sub>3</sub> DDR	P1 <sub>2</sub> DDR	P1 <sub>1</sub> DDR	P1 <sub>0</sub> DDR	ポート1
H'C1	P2DDR	8	P2 <sub>7</sub> DDR	P2 <sub>6</sub> DDR	P2 <sub>5</sub> DDR	P2 <sub>4</sub> DDR	P2 <sub>3</sub> DDR	P2 <sub>2</sub> DDR	P2 <sub>1</sub> DDR	P2 <sub>0</sub> DDR	ポート2
H'C2	P1DR	8	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>	ポート1
H'C3	P2DR	8	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>	ポート2
H'C4	P3DDR	8	P3 <sub>7</sub> DDR	P3 <sub>6</sub> DDR	P3 <sub>5</sub> DDR	P3 <sub>4</sub> DDR	P3 <sub>3</sub> DDR	P3 <sub>2</sub> DDR	P3 <sub>1</sub> DDR	P3 <sub>0</sub> DDR	ポート3
H'C5	P4DDR	8	P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR	ポート4
H'C6	P3DR	8	P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>	ポート3
H'C7	P4DR	8	P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>	ポート4
H'C8	P5DDR	8	——	——	——	——	P5 <sub>5</sub> DDR	P5 <sub>4</sub> DDR	P5 <sub>3</sub> DDR	P5 <sub>2</sub> DDR	ポート5
H'C9	P6DDR	8	——	P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR	ポート6

(次頁へ続く)

【注】\* RSTCSRのライトについては「12.2.4 レジスタ書換え時の注意」を参照してください。

《記号説明》

WDT : ウォッチドッグタイマ

SCI : シリアルコミュニケーションインタフェース

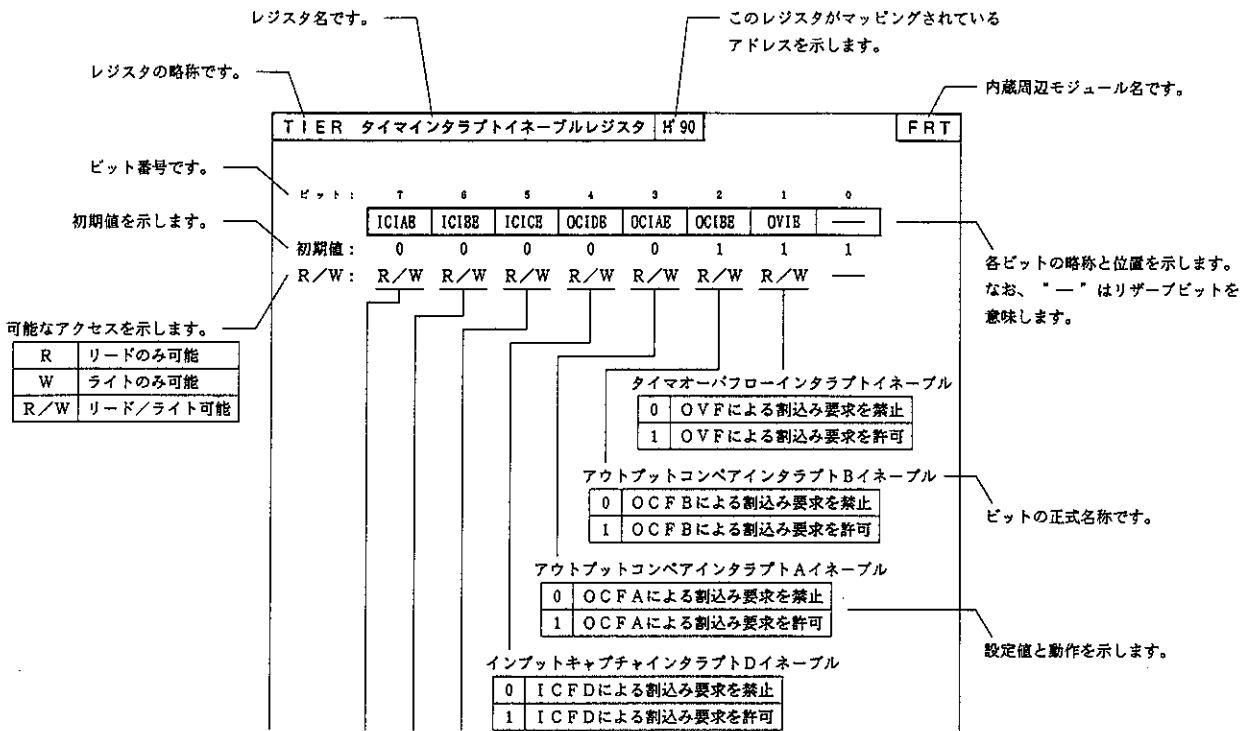
(前頁より続く)

下位 7bit	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'CA	P5DR	8	—	—	—	—	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>	ポート5
H'CB	P6DR	8	—	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>	ポート6
H'CC	—		—	—	—	—	—	—	—	—	
H'CD	P8DDR	8	—	—	—	P8 <sub>4</sub> DDR	P8 <sub>3</sub> DDR	P8 <sub>2</sub> DDR	P8 <sub>1</sub> DDR	P8 <sub>0</sub> DDR	ポート8
H'CE	P7DR	8	P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>	ポート7
H'CF	P8DR	8	—	—	—	P8 <sub>4</sub>	P8 <sub>3</sub>	P8 <sub>2</sub>	P8 <sub>1</sub>	P8 <sub>0</sub>	ポート8
H'D0	P9DDR	8	—	—	P9 <sub>5</sub> DDR	P9 <sub>4</sub> DDR	P9 <sub>3</sub> DDR	P9 <sub>2</sub> DDR	P9 <sub>1</sub> DDR	P9 <sub>0</sub> DDR	ポート9
H'D1	PADDR	8	PA <sub>7</sub> DDR	PA <sub>6</sub> DDR	PA <sub>5</sub> DDR	PA <sub>4</sub> DDR	PA <sub>3</sub> DDR	PA <sub>2</sub> DDR	PA <sub>1</sub> DDR	PA <sub>0</sub> DDR	ポートA
H'D2	P9DR	8	—	—	P9 <sub>5</sub>	P9 <sub>4</sub>	P9 <sub>3</sub>	P9 <sub>2</sub>	P9 <sub>1</sub>	P9 <sub>0</sub>	ポート9
H'D3	PADR	8	PA <sub>7</sub>	PA <sub>6</sub>	PA <sub>5</sub>	PA <sub>4</sub>	PA <sub>3</sub>	PA <sub>2</sub>	PA <sub>1</sub>	PA <sub>0</sub>	ポートA
H'D4	PBDDR	8	PB <sub>7</sub> DDR	PB <sub>6</sub> DDR	PB <sub>5</sub> DDR	PB <sub>4</sub> DDR	PB <sub>3</sub> DDR	PB <sub>2</sub> DDR	PB <sub>1</sub> DDR	PB <sub>0</sub> DDR	ポートB
H'D5	—		—	—	—	—	—	—	—	—	
H'D6	PBDR	8	PB <sub>7</sub>	PB <sub>6</sub>	PB <sub>5</sub>	PB <sub>4</sub>	PB <sub>3</sub>	PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>	ポートB
H'D7	—		—	—	—	—	—	—	—	—	
H'D8	P2PCR		P2 <sub>7</sub> PCR	P2 <sub>6</sub> PCR	P2 <sub>5</sub> PCR	P2 <sub>4</sub> PCR	P2 <sub>3</sub> PCR	P2 <sub>2</sub> PCR	P2 <sub>1</sub> PCR	P2 <sub>0</sub> PCR	ポート2
H'D9	—		—	—	—	—	—	—	—	—	
H'DA	P4PCR	8	P4 <sub>7</sub> PCR	P4 <sub>6</sub> PCR	P4 <sub>5</sub> PCR	P4 <sub>4</sub> PCR	P4 <sub>3</sub> PCR	P4 <sub>2</sub> PCR	P4 <sub>1</sub> PCR	P4 <sub>0</sub> PCR	ポート4
H'DB	P5PCR	8	—	—	—	—	P5 <sub>3</sub> PCR	P5 <sub>2</sub> PCR	P5 <sub>1</sub> PCR	P5 <sub>0</sub> PCR	ポート5
H'DC	DADR0	8									D/A変換器
H'DD	DADR1	8									
H'DE	DACR	8	DAOE1	DAOE0	DAE	—	—	—	—	—	
H'DF	—		—	—	—	—	—	—	—	—	
H'E0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D変換器
H'E1	ADDRAL	8	AD1	AD0	—	—	—	—	—	—	
H'E2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	8	AD1	AD0	—	—	—	—	—	—	
H'E4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	8	AD1	AD0	—	—	—	—	—	—	
H'E6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	8	AD1	AD0	—	—	—	—	—	—	
H'E8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCR	8	TRGE	—	—	—	—	—	—	—	
H'EA	—		—	—	—	—	—	—	—	—	
H'EB	—		—	—	—	—	—	—	—	—	

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EC	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コントローラ
H'ED	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H'EE	WCR	8	——	——	——	——	WMS1	WMS0	WC1	WC0	
H'EF	WCE R	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0	
H'F0	——		——	——	——	——	——	——	——	——	システム制御
H'F1	MDCR	8	——	——	——	——	——	MDS2	MDS1	MDS0	
H'F2	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	——	RAME	
H'F3	BR CR	8	A23E	A22E	A21E	——	——	——	——	BRLE	バスコントローラ
H'F4	I S C R	8	——	——	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割込み コントローラ
H'F5	I E R	8	——	——	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'F6	I S R	8	——	——	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'F7	——		——	——	——	——	——	——	——	——	
H'F8	I P R A	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
H'F9	I P R B	8	IPRB7	IPRB6	IPRB5	——	IPRB3	IPRB2	IPRB1	——	
H'FA	——		——	——	——	——	——	——	——	——	
H'FB	——		——	——	——	——	——	——	——	——	
H'FC											
H'FD	——		——	——	——	——	——	——	——	——	
H'FE	——		——	——	——	——	——	——	——	——	
H'FF	——		——	——	——	——	——	——	——	——	

B. 2 機能一覧





(前頁より続く)

## ■フルアドレスモード

## (1) ノーマルモード

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

転送カウンタ

## (2) ブロック転送モード

ビット: 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 不定

不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ETCR0AH

ETCR0AL

ブロックサイズカウンタ

ブロックサイズ保持

ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ショートアドレスモード: ソースアドレスまたはデスティネーション  
アドレスを設定

フルアドレスモード: 未使用



## ■ ショートアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## データトランスファセレクト

ビット2	ビット1	ビット0	データ転送の起動要因
DTS2	DTS1	DTS0	
0	0	0	ITUチャネル0のコンバ7マッチ/インプットキャプチャA割込みで起動
		1	ITUチャネル1のコンバ7マッチ/インプットキャプチャA割込みで起動
	1	0	ITUチャネル2のコンバ7マッチ/インプットキャプチャA割込みで起動
		1	ITUチャネル3のコンバ7マッチ/インプットキャプチャA割込みで起動
1	0	0	SCI0の送信データエンプティ割込みで起動
		1	SCI0の受信データフル割込みで起動
	1	0	フルアドレスモード転送を指定
		1	フルアドレスモード転送を指定

## データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可

## リピートイネーブル

RPE	DTIE	説明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

## データトランスファインクリメント/デクリメント

0	インクリメント: DTSZ="0"のとき、転送後MARを+1 DTSZ="1"のとき、転送後MARを+2
1	デクリメント: DTSZ="0"のとき、転送後MARを-1 DTSZ="1"のとき、転送後MARを-2

## データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

## データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

(前頁より続く)

## ■フルアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト0A

0	ノーマルモードで動作
1	ブロック転送モードで動作

データトランスファセレクト2A、1A

いずれも“1”にセットしてください

データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可

ソースアドレスインクリメント/デクリメント (ビット5)

ソースアドレスインクリメント/デクリメントイネーブル (ビット4)

ビット5	ビット4	インクリメント/デクリメントイネーブル
SAID	SAIDE	
0	0	MARA固定
	1	インクリメント: DTSZ = “0” のとき、転送後MARAを+1 DTSZ = “1” のとき、転送後MARAを+2
1	0	MARA固定
	1	デクリメント: DTSZ = “0” のとき、転送後MARAを-1 DTSZ = “1” のとき、転送後MARAを-2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可



(前頁より続く)

■フルアドレスモード

(1) ノーマルモード

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

未使用

(2) ブロック転送モード

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ブロック転送カウンタ

ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ショートアドレスモード: ソースアドレスまたはデスティネーション  
アドレスを設定

フルアドレスモード: 未使用

## ■ ショートアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## データトランスファセレクト

ビット2	ビット1	ビット0	データ転送の起動要因
DTS2	DTS1	DTS0	
0	0	0	ITUチャネル0のコンバ7マッチ/インプットキャプチャA割込みで起動
		1	ITUチャネル1のコンバ7マッチ/インプットキャプチャA割込みで起動
	1	0	ITUチャネル2のコンバ7マッチ/インプットキャプチャA割込みで起動
		1	ITUチャネル3のコンバ7マッチ/インプットキャプチャA割込みで起動
1	0	0	SCI0の送信データエンプティ割込みで起動
		1	SCI0の受信データフル割込みで起動
	1	0	DREQ端子の立下がりエッジ入力で起動
		1	DREQ端子の“Low”レベル入力で起動

## データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可 DTEビット=“0”のとき、CPUに割込みを要求

## リピートイネーブル

RPE	DTIE	説明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

## データトランスファインクリメント/デクリメント

0	インクリメント : DTSZ=“0”のとき、転送後MARを+1 DTSZ=“1”のとき、転送後MARを+2
1	デクリメント : DTSZ=“0”のとき、転送後MARを-1 DTSZ=“1”のとき、転送後MARを-2

## データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

## データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

(前頁より続く)

## ■フルアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTME	——	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト2 B ~ 0 B

ビット2	ビット1	ビット0	データ転送の起動要因	
DTS2B	DTS1B	DTS0B	ノーマルモード	ブロック転送モード
0	0	0	オートリクエスト (バーストモード)	ITUチャネル0のコペアマチ/ インプットキャプチャA割込みで起動
		1	使用できません	ITUチャネル1のコペアマチ/ インプットキャプチャA割込みで起動
	1	0	オートリクエスト (サイクルスチールモード)	ITUチャネル2のコペアマチ/ インプットキャプチャA割込みで起動
		1	使用できません	ITUチャネル3のコペアマチ/ インプットキャプチャA割込みで起動
1	0	0	使用できません	使用できません
		1	使用できません	使用できません
	1	0	DREQ端子の立下がりで起動	DREQ端子の立下がりで起動
		1	DREQ端子の“Low”レベルで起動	使用できません

トランスファモードセレクト

0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送
1	ブロック転送モード時、ソース側をブロックエリアとして転送

デスティネーションアドレスインクリメント/デクリメント (ビット5)

デスティネーションアドレスインクリメント/デクリメントイネーブル (ビット4)

ビット5	ビット4	インクリメント/デクリメントイネーブル
DAID	DAIDE	
0	0	MARB固定
	1	インクリメント : DTSZ = “0” のとき、転送後MARBを + 1 DTSZ = “1” のとき、転送後MARBを + 2
1	0	MARB固定
	1	デクリメント : DTSZ = “0” のとき、転送後MARBを - 1 DTSZ = “1” のとき、転送後MARBを - 2

データトランスファマスタイネーブル

0	データ転送を禁止
1	データ転送を許可

MARIA R、E、H、L    メモリアドレスレジスタ1A R、E、H、L	H' 30、H' 31、H' 32、H' 33
--	-------------------------

**DMAC1**

ビット：      31   30   29   28   27   26   25   24   23   22   21   20   19   18   17   16

初期値：     1    1    1    1    1    1    1    1                  不定

R / W :       —   —   —   —   —   —   —   —   R/W R/W R/W R/W R/W R/W R/W R/W

MAR 1 A R

MAR 1 A E

ビット：      15   14   13   12   11   10   9    8    7    6    5    4    3    2    1    0

初期値：                          不定                          不定

R / W :   R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

MAR 1 A H

MAR 1 A L

※機能はDMAC 0と同じです。

ETCR1A H、L    転送カウンタレジスタ1A H、L	H' 34、H' 35
--------------------------------	-------------

**DMAC1**

ビット：      15   14   13   12   11   10   9    8    7    6    5    4    3    2    1    0

初期値：    不定

R / W :   R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット：      7    6    5    4    3    2    1    0                      7    6    5    4    3    2    1    0

初期値：                          不定                          不定

R / W :   R/W R/W R/W R/W R/W R/W R/W R/W    R/W R/W R/W R/W R/W R/W R/W R/W

ETC R 1 A H

ETC R 1 A L

※機能はDMAC 0と同じです。

IOAR1A I/Oアドレスレジスタ1A H' 36

DMAC1

ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

DTCR1A データトランスファコントロールレジスタ1A H' 37

DMAC1

## ■ショートアドレスモード

ビット: 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
-----	------	------	-----	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

## ■フルアドレスモード

ビット: 7 6 5 4 3 2 1 0



DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
-----	------	------	-------	------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0



R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。



MAR1B R、E、H、L    メモリアドレスレジスタ1B R、E、H、L	H' 38、H' 39、H' 3A、H' 3B	DMAC1
ビット：    31   30   29   28   27   26   25   24   23   22   21   20   19   18   17   16 		
初期値：    1   1   1   1   1   1   1   1                  不定		
R/W：    —   —   —   —   —   —   —   —   R/W R/W R/W R/W R/W R/W R/W R/W		
MAR1BR                                         MAR1BE		
ビット：    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0 		
初期値：                                  不定                                  不定		
R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W		
MAR1BH                                         MAR1BL		
※機能はDMAC0と同じです。		

ETCR1B H、L    転送カウンタレジスタ1B H、L	H' 3C、H' 3D	DMAC1
ビット：    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0 		
初期値：                                  不定		
R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W		
ビット：    7   6   5   4   3   2   1   0                      7   6   5   4   3   2   1   0 		
初期値：                                  不定                                  不定		
R/W： R/W R/W R/W R/W R/W R/W R/W R/W    R/W R/W R/W R/W R/W R/W R/W		
ETCR1BH                                         ETCR1BL		
※機能はDMAC0と同じです。		

IOAR1B I/Oアドレスレジスタ1B H' 3E

DMAC1

ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

DTCR1B データトランスファコントロールレジスタ1B H' 3F

DMAC1

## ■ショートアドレスモード

ビット: 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
-----	------	------	-----	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

## ■フルアドレスモード

ビット: 7 6 5 4 3 2 1 0

DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
------	---	------	-------	-----	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

ビット:	7	6	5	4	3	2	1	0
	V <sub>PP</sub>	V <sub>PP</sub> E	—	—	EV	PV	E	P
初期値*	0	0	0	0	0	0	0	0
R/W:	R	R/W	—	—	R/W*	R/W*	R/W*	R/W*

## プログラムモード

0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移

## イレースモード

0	イレースモードを解除 (初期値)
1	イレースモードに遷移

## プログラムベリファイモード

0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移

## イレースベリファイモード

0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移

V<sub>PP</sub>イネーブル

0	V <sub>PP</sub> 端子の12V 電源無効 (初期値)
1	V <sub>PP</sub> 端子の12V 電源有効

## プログラム電源

0	〔クリア条件〕 (初期値) V <sub>PP</sub> に12Vが印加されていないとき
1	〔セット条件〕 V <sub>PP</sub> に12Vが印加されているとき

\* モード5、6、7（内蔵フラッシュメモリが有効）のとき初期値はH'00となります。

モード1、2、3、4（内蔵フラッシュメモリが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

ビット:	7	6	5	4	3	2	1	0
	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0
初期値*	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ラージブロック 7 ~ 0

0	LB 7 ~ LB 0 ブロックをそれぞれ選択していない (初期値)
1	LB 7 ~ LB 0 ブロックをそれぞれ選択している

\* モード 5、6、7 (内蔵 ROM が有効) のとき初期値は H'00 になります。

モード 1、2、3、4 (内蔵 ROM が無効) のときは、リードすると常に H'FF が読み出され、ライトも無効となります。

ビット:	7	6	5	4	3	2	1	0
	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
初期値*	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

スモールブロック 7 ~ 0

0	SB 7 ~ SB 0 ブロックをそれぞれ選択していない (初期値)
1	SB 7 ~ SB 0 ブロックをそれぞれ選択している

\* モード 5、6、7 (内蔵 ROM が有効) のとき初期値は H'00 になります。

モード 1、2、3、4 (内蔵 ROM が無効) のときは、リードすると常に H'FF が読み出され、ライトも無効となります。

ビット:	7	6	5	4	3	2	1	0
	FLER	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値:	0	1	1	1	0	0	0	0
R/W:	R	—	—	—	R/W	R/W	R/W	R/W

## RAMセレクト、RAM2～0

ビット3	ビット2	ビット1	ビット0	RAMエリア
RAMS	RAM2	RAM1	RAM0	
0	1 / 0	1 / 0	1 / 0	H'FFF000～H'FFF1FF
1	0	0	0	H'01F000～H'01F1FF
			1	H'01F200～H'01F3FF
		1	0	H'01F400～H'01F5FF
			1	H'01F600～H'01F7FF
	1	0	0	H'01F800～H'01F9FF
			1	H'01FA00～H'01FBFF
		1	0	H'01FC00～H'01FDFF
			1	H'01FE00～H'01FFFF

## フラッシュメモリエラー

0	フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が無効（初期値）
1	フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が有効

ビット:	7	6	5	4	3	2	1	0
	<div></div>	<div></div>	<div></div>	<div></div>	<div></div>	<div></div>	<div></div>	DASTE
初期値:	1	1	1	1	1	1	1	0
R/W:	—	—	—	—	—	—	—	R/W

## D/Aスタンバイイネーブル

0	ソフトウェアスタンバイモードでのD/A出力を禁止 (初期値)
1	ソフトウェアスタンバイモードでのD/A出力を許可

DIVCR    分周比コントロールレジスタ    H' 5D

システム制御

ビット：        7            6            5            4            3            2            1            0

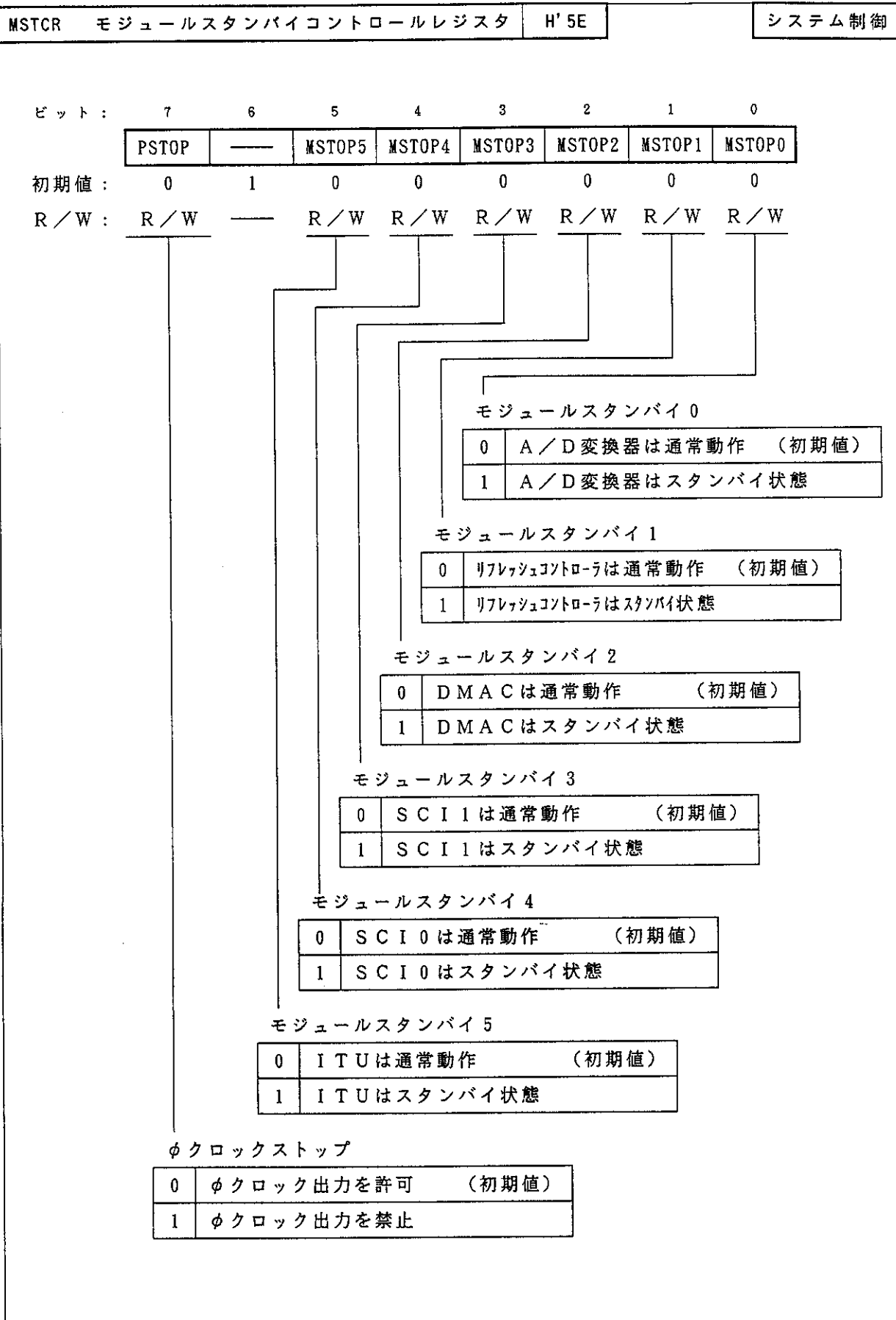
—	—	—	—	—	—	DIV1	DIV0
---	---	---	---	---	---	------	------

初期値：        1            1            1            1            1            1            0            0

R/W：        —            —            —            —            —            —            R/W    R/W

分周比 1、0

ビット1	ビット0	分 周 比
D I V 1	D I V 0	
0	0	1 / 1    (初期値)
	1	1 / 2
1	0	1 / 4
	1	1 / 8





CSCR    チップセレクトコントロールレジスタ				H' 5F		システム制御	
---------------------------	--	--	--	-------	--	--------	--

ビット：	7	6	5	4	3	2	1	0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R／W：	R／W	R／W	R／W	R／W	—	—	—	—

チップセレクト7～4イネーブル

ビット n	説 明
CS n E	
0	チップセレクト信号（CS n）の出力を禁止   （初期値）
1	チップセレクト信号（CS n）の出力を許可

n = 7 ～ 4

ビット:	7	6	5	4	3	2	1	0
	—	—	—	STR4	STR3	STR2	STR1	STR0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

カウンタスタート 0

0	TCNT0のカウンタ動作は停止
1	TCNT0はカウンタ動作

カウンタスタート 1

0	TCNT1のカウンタ動作は停止
1	TCNT1はカウンタ動作

カウンタスタート 2

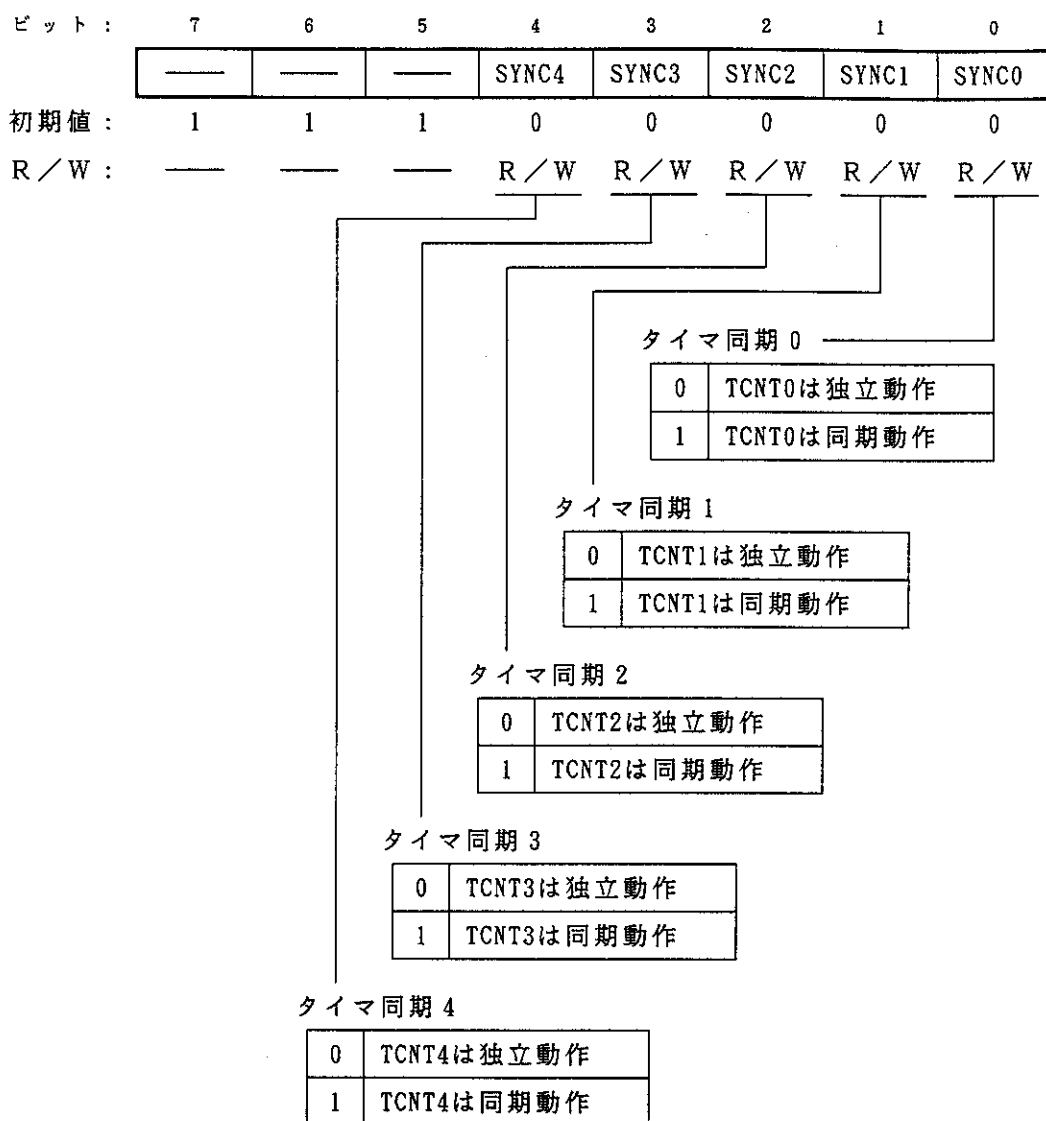
0	TCNT2のカウンタ動作は停止
1	TCNT2はカウンタ動作

カウンタスタート 3

0	TCNT3のカウンタ動作は停止
1	TCNT3はカウンタ動作

カウンタスタート 4

0	TCNT4のカウンタ動作は停止
1	TCNT4はカウンタ動作



ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## PWMモード 0

0	チャンネル 0 は通常動作
1	チャンネル 0 はPWMモード

## PWMモード 1

0	チャンネル 1 は通常動作
1	チャンネル 1 はPWMモード

## PWMモード 2

0	チャンネル 2 は通常動作
1	チャンネル 2 はPWMモード

## PWMモード 3

0	チャンネル 3 は通常動作
1	チャンネル 3 はPWMモード

## PWMモード 4

0	チャンネル 4 は通常動作
1	チャンネル 4 はPWMモード

## フラグディレクション

0	TSR2のOVFフラグは、TCNT2がオーバーフローまたはアンダフローしたときに“1”にセット
1	TSR2のOVFフラグは、TCNT2がオーバーフローしたときに“1”にセット

## 位相計数モード

0	チャンネル 2 は通常動作
1	チャンネル 2 は位相計数モード

ビット:	7	6	5	4	3	2	1	0
	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

バッファ動作A3

0	GRA3は通常動作
1	GRA3とBRA3はバッファ動作

バッファ動作B3

0	GRB3は通常動作
1	GRB3とBRB3はバッファ動作

バッファ動作A4

0	GRA4は通常動作
1	GRA4とBRA4はバッファ動作

バッファ動作B4

0	GRB4は通常動作
1	GRB4とBRB4はバッファ動作

コンビネーションモード1、0

ビット5	ビット4	チャンネル3、4の動作モードの指定
CMD1	CMD0	
0	0	チャンネル3、4は通常動作
	1	
1	0	チャンネル3、4を組み合わせ、相補PWMモードで動作
	1	チャンネル3、4を組み合わせ、リセット同期PWMモードで動作

ビット:	7	6	5	4	3	2	1	0
	——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	——	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケラ 2 ~ 0

ビット2	ビット1	ビット0	TCNTのカウンタクロック
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック: $\phi$
		1	内部クロック: $\phi / 2$
	1	0	内部クロック: $\phi / 4$
		1	内部クロック: $\phi / 8$
1	0	0	外部クロック A : TCLKA端子入力でカウント
		1	外部クロック B : TCLKB端子入力でカウント
	1	0	外部クロック C : TCLKC端子入力でカウント
		1	外部クロック D : TCLKD端子入力でカウント

クロックエッジ 1、0

ビット4	ビット3	外部クロックの検出エッジ
CKEG1	CKEG0	
0	0	立上がりエッジでカウント
	1	立下がりエッジでカウント
1	——	立上がり／立下がりの両エッジでカウント

カウンタクリア 1、0

ビット6	ビット5	TCNTのクリアソース
CCLR1	CCLR0	
0	0	TCNTのクリア禁止
	1	GRAのコンパマツチ/インプツキツプツチでTCNTをクリア
1	0	GRBのコンパマツチ/インプツキツプツチでTCNTをクリア
	1	同期クリア。同期動作中の他のタイマのカウンタクリアに同期してTCNTをクリア

ビット: 7 6 5 4 3 2 1 0

—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
---	------	------	------	---	------	------	------

初期値: 1 0 0 0 1 0 0 0

R/W: — R/W R/W R/W — R/W R/W R/W

I/OコントロールA 2~0

ビット2	ビット1	ビット0	GRAの機能の選択	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRAのコンペアマッチで0出力
	1	0		GRAのコンペアマッチで1出力
		1		GRAのコンペアマッチでトグル出力
1	0	0	GRAはインプットキ ャプチャレジスタ	立上がりエッジでGRAへインプットキャプチャ
		1		立下がりエッジでGRAへインプットキャプチャ
	1	0		立上がり/立下がり両エッジでGRA
		1		へインプットキャプチャ

I/OコントロールB 2~0

ビット6	ビット5	ビット4	GRBの機能の選択	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRBのコンペアマッチで0出力
	1	0		GRBのコンペアマッチで1出力
		1		GRBのコンペアマッチでトグル出力
1	0	0	GRBはインプットキ ャプチャレジスタ	立上がりエッジでGRBへインプットキャプチャ
		1		立下がりエッジでGRBへインプットキャプチャ
	1	0		立上がり/立下がり両エッジでGRB
		1		へインプットキャプチャ

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

インプットキャプチャ/コンペアマッチインタラプトイネーブルA

0	IMFAフラグによる割込み (IMIA) 要求を禁止
1	IMFAフラグによる割込み (IMIA) 要求を許可

インプットキャプチャ/コンペアマッチインタラプトイネーブルB

0	IMFBフラグによる割込み (IMIB) 要求を禁止
1	IMFBフラグによる割込み (IMIB) 要求を許可

オーバーフローインタラプトイネーブル

0	OVFフラグによる割込み (OVI) 要求を禁止
1	OVFフラグによる割込み (OVI) 要求を許可



ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

## インプットキャプチャ/コンペアマッチフラグ A

0	〔クリア条件〕 IMFA="1"の状態、IMFAフラグをリードした後、IMFAフラグに"0"をライトしたとき
1	〔セット条件〕 (1)GRAがアウトプットコンペアレジスタとして機能している場合、TCNT=GRAになったとき (2)GRAがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRAに転送されたとき

## インプットキャプチャ/コンペアマッチフラグ B

0	〔クリア条件〕 IMFB="1"の状態、IMFBフラグをリードした後、IMFBフラグに"0"をライトしたとき
1	〔セット条件〕 (1)GRBがアウトプットコンペアレジスタとして機能している場合、TCNT=GRBになったとき (2)GRBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRBに転送されたとき

## オーバフローフラグ

0	〔クリア条件〕 OVF="1"の状態、OVFフラグをリードした後、OVFフラグに"0"をライトしたとき
1	〔セット条件〕 TCNTの値がオーバフロー (H' FFFF→H' 0000) または、アンダフロー (H' 0000→H' FFFF) したとき

【注】\* フラグクリアのための"0"ライトのみ可能です。

TCNT0 H、L タイマカウンタ0 H、L H' 68、H' 69

ITU0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

アップカウンタ

GRA0 H、L ジェネラルレジスタA0 H、L H' 6A、H' 6B

ITU0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

アウトプットコンペア/インプットキャプチャ兼用レジスタ

GRB0 H、L ジェネラルレジスタB0 H、L H' 6C、H' 6D

ITU0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

アウトプットコンペア/インプットキャプチャ兼用レジスタ

TCR1	タイマコントロールレジスタ 1	H' 6E	ITU1
------	-----------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	——	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能は I T U 0 と同じです。

TIOR1	タイマ I/O コントロールレジスタ 1	H' 6F	ITU1
-------	----------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	——	IOB2	IOB1	IOB0	——	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:	——	R/W	R/W	R/W	——	R/W	R/W	R/W

※機能は I T U 0 と同じです。

TIER1	タイマインタラプトイネーブルレジスタ 1	H' 70	ITU1
-------	----------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	——	——	——	——	——	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	——	——	——	——	——	R/W	R/W	R/W

※機能は I T U 0 と同じです。

TSR1	タイマステータスレジスタ 1	H' 71	ITU1
------	----------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	——	——	——	——	——	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	——	——	——	——	——	R/(W)*	R/(W)*	R/(W)*

※機能は I T U 0 と同じです。

【注】\* フラグクリアのための“0”ライトのみ可能です。

TCNT1 H、L タイマカウンタ1 H、L H' 72、H' 73

ITU1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

GRA1 H、L ジェネラルレジスタA1 H、L H' 74、H' 75

ITU1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

GRB1 H、L ジェネラルレジスタB1 H、L H' 76、H' 77

ITU1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

## TCR2 タイマコントロールレジスタ 2

H'78

ITU2

ビット:	7	6	5	4	3	2	1	0
	——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	——	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

【注】 チャンネル2を位相計数モードに設定したとき、TPSC2～TPSC0ビットによるカウントクロックの選択は無効となります。

## TIO2 タイマI/Oコントロールレジスタ 2

H'79

ITU2

ビット:	7	6	5	4	3	2	1	0
	——	IOB2	IOB1	IOB0	——	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:	——	R/W	R/W	R/W	——	R/W	R/W	R/W

※機能はITU0と同じです。

TIER2 タイマインタラプトイネーブルレジスタ 2 H' 7A

ITU2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

※機能はITU0と同じです。

TSR2 タイマステータスレジスタ 2 H' 7B

ITU2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです

オーバーフローフラグ

	[クリア条件]
0	OVF="1"の状態、OVFフラグをリードした後、OVFフラグに"0"をライトしたとき
	[セット条件]
1	TCNTの値がオーバーフロー (H' FFFF→H' 0000)、またはアンダフロー (H' 0000→H' FFFF) したとき

【注】\* フラグクリアのための"0"ライトのみ可能です。

TCNT2 H,L タイマカウンタ2 H,L H' 7C、H' 7D

ITU2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

位相計数モード時: アップ/ダウンカウンタ

その他のモード時: アップカウンタ

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

TCR3 タイマコントロールレジスタ 3 H' 82

ITU3

ビット:	7	6	5	4	3	2	1	0
	——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	——	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

TIOR3 タイマI/Oコントロールレジスタ 3 H' 83

ITU3

ビット:	7	6	5	4	3	2	1	0
	——	IOB2	IOB1	IOB0	——	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:	——	R/W	R/W	R/W	——	R/W	R/W	R/W

※機能はITU0と同じです。

TIER3 タイマインタラプトイネーブルレジスタ 3 H' 84

ITU3

ビット:	7	6	5	4	3	2	1	0
	——	——	——	——	——	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	——	——	——	——	——	R/W	R/W	R/W

※機能はITU0と同じです。



ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです

オーバーフローフラグ

	〔クリア条件〕
0	OVF="1"の状態、OVFをリードした後、OVFに"1"をライトしたとき
	〔セット条件〕
1	TCNTの値がオーバーフロー (H'FFFF→H'0000)、またはアンダフロー (H'0000→H'FFFF) したとき

【注】\* フラグクリアのための"0"ライトのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

相補PWMモード時: アップ/ダウンカウンタ

その他のモード時: アップカウンタ

GRA3 H、L ジェネラルレジスタA3 H、L H' 88、H' 89

ITU3

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)

GRB3 H、L ジェネラルレジスタB3 H、L H' 8A、H' 8B

ITU3

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)

BRA3 H、L バッファレジスタA3 H、L H' 8C、H' 8D

ITU3

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

バッファ動作時にGRAと組み合わせて使用

BRB3 H、L バッファレジスタB3 H、L H' 8E、H' 8F

ITU3

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

バッファ動作時にGRBと組み合わせて使用

ビット:	7	6	5	4	3	2	1	0
	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

マスタイネーブルTIOCA3

0	TIOR3、TMDR、TFCRの設定にかかわらず、 TIOCA <sub>3</sub> 端子は出力禁止
1	TIOR3、TMDR、TFCRの設定に従い、 TIOCA <sub>3</sub> 端子は出力許可

マスタイネーブルTIOCA4

0	TIOR4、TMDR、TFCRの設定にかかわらず、 TIOCA <sub>4</sub> 端子は出力禁止
1	TIOR4、TMDR、TFCRの設定に従い、 TIOCA <sub>4</sub> 端子は出力許可

マスタイネーブルTIOCB4

0	TIOR4、TFCRの設定にかかわらず、 TIOCB <sub>4</sub> 端子は出力禁止
1	TIOR4、TFCRの設定に従い、 TIOCB <sub>4</sub> 端子は出力許可

マスタイネーブルTIOCB3

0	TIOR3、TFCRの設定にかかわらず、 TIOCB <sub>3</sub> 端子は出力禁止
1	TIOR3、TFCRの設定に従い、 TIOCB <sub>3</sub> 端子は出力許可

マスタイネーブルTOCXA4

0	TFCRの設定にかかわらず、TOCXA <sub>4</sub> 端子は出力禁止
1	TFCRの設定に従い、TOCXA <sub>4</sub> 端子は出力許可

マスタイネーブルTOCXB4

0	TFCRの設定にかかわらず、TOCXB <sub>4</sub> 端子は出力禁止
1	TFCRの設定に従い、TOCXB <sub>4</sub> 端子は出力許可

ビット:	7	6	5	4	3	2	1	0
	—	—	—	XTGD	—	—	OLS4	OLS3
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	—	R/W	—	—	R/W	R/W

出力レベルセレクト 3

0	TIOCB <sub>3</sub> 、TOCXA <sub>4</sub> 、TOCXB <sub>4</sub> 端子は反転出力
1	TIOCB <sub>3</sub> 、TOCXA <sub>4</sub> 、TOCXB <sub>4</sub> 端子は直接出力

出力レベルセレクト 4

0	TIOCA <sub>3</sub> 、TIOCA <sub>4</sub> 、TIOCB <sub>4</sub> 端子は反転出力
1	TIOCA <sub>3</sub> 、TIOCA <sub>4</sub> 、TIOCB <sub>4</sub> 端子は直接出力

外部トリガディスエーブル

0	リセット同期PWMモードまたは相補PWMモード時、チャンネル1のインプットキャプチャA信号を外部トリガとして使用*
1	外部トリガを禁止

【注】\* 外部トリガ発生時、TOERのビット5～0が“0”にクリアされ、ITU出力が禁止されます。

TCR4 タイマコントロールレジスタ 4				H' 92		ITU4		
ビット:        7            6            5            4            3            2            1            0								
—		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:    1            0            0            0            0            0            0            0								
R/W:       —        R/W       R/W       R/W       R/W       R/W       R/W       R/W								
※機能は I T U 0 と同じです。								

TIOA4 タイマ I/O コントロールレジスタ 4				H' 93		ITU4		
ビット:        7            6            5            4            3            2            1            0								
—		IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:    1            0            0            0            1            0            0            0								
R/W:       —        R/W       R/W       R/W       —        R/W       R/W       R/W								
※機能は I T U 0 と同じです。								

TIER4 タイマインタラプトイネーブルレジスタ 4				H' 94		ITU4		
ビット:        7            6            5            4            3            2            1            0								
—		—	—	—	—	OVIE	IMIEB	IMIEA
初期値:    1            1            1            1            1            0            0            0								
R/W:       —        —        —        —        —        R/W       R/W       R/W								
※機能は I T U 0 と同じです。								

TSR4 タイマステータスレジスタ 4				H' 95		ITU4		
ビット:        7            6            5            4            3            2            1            0								
—		—	—	—	—	OVF	IMFB	IMFA
初期値:    1            1            1            1            1            0            0            0								
R/W:       —        —        —        —        —        R/(W)*    R/(W)*    R/(W)*								
※機能は I T U 0 と同じです。								
【注】*    フラグクリアのための“0”ライトのみ可能です。								

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

GRB4 H、L ジェネラルレジスタB4 H、L H' 9A、H' 9B

ITU4

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

BRA4 H、L バッファレジスタA4 H、L H' 9C、H' 9D

ITU4

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

BRB4 H、L バッファレジスタB4 H、L H' 9E、H' 9F

ITU4

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

## グループ 0 ノンオーバーラップ

0	TPC出力グループ 0 は通常動作 選択されたITUのコンペアマッチ A で出力値を更新
1	TPC出力グループ 0 は、選択された ITUのコンペアマッチ A、B により ノンオーバーラップ動作

## グループ 1 ノンオーバーラップ

0	TPC出力グループ 1 は通常動作 選択されたITUのコンペアマッチ A で出力値を更新
1	TPC出力グループ 1 は、選択された ITUのコンペアマッチ A、B により ノンオーバーラップ動作

## グループ 2 ノンオーバーラップ

0	TPC出力グループ 2 は通常動作 選択されたITUのコンペアマッチ A で出力値を更新
1	TPC出力グループ 2 は、選択された ITUのコンペアマッチ A、B により ノンオーバーラップ動作

## グループ 3 ノンオーバーラップ

0	TPC出力グループ 3 は通常動作 選択されたITUのコンペアマッチ A で出力値を更新
1	TPC出力グループ 3 は、選択された ITUのコンペアマッチ A、B により ノンオーバーラップ動作



ビット:	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

グループ0 コンペアマッチセレクト1、0

ビット1	ビット0	出力トリガとなるITUのチャンネル選択
G0CMS1	G0CMS0	
0	0	TPC出力グループ0 (TP <sub>0</sub> ~TP <sub>0</sub> 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ0 (TP <sub>0</sub> ~TP <sub>0</sub> 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ0 (TP <sub>0</sub> ~TP <sub>0</sub> 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ0 (TP <sub>0</sub> ~TP <sub>0</sub> 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ1 コンペアマッチセレクト1、0

ビット3	ビット2	出力トリガとなるITUのチャンネル選択
G1CMS1	G1CMS0	
0	0	TPC出力グループ1 (TP <sub>1</sub> ~TP <sub>1</sub> 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ1 (TP <sub>1</sub> ~TP <sub>1</sub> 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ1 (TP <sub>1</sub> ~TP <sub>1</sub> 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ1 (TP <sub>1</sub> ~TP <sub>1</sub> 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ2 コンペアマッチセレクト1、0

ビット5	ビット4	出力トリガとなるITUのチャンネル選択
G2CMS1	G2CMS0	
0	0	TPC出力グループ2 (TP <sub>2</sub> ~TP <sub>2</sub> 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ2 (TP <sub>2</sub> ~TP <sub>2</sub> 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ2 (TP <sub>2</sub> ~TP <sub>2</sub> 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ2 (TP <sub>2</sub> ~TP <sub>2</sub> 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ3 コンペアマッチセレクト1、0

ビット7	ビット6	出力トリガとなるITUのチャンネル選択
G3CMS1	G3CMS0	
0	0	TPC出力グループ3 (TP <sub>3</sub> ~TP <sub>3</sub> 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ3 (TP <sub>3</sub> ~TP <sub>3</sub> 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ3 (TP <sub>3</sub> ~TP <sub>3</sub> 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ3 (TP <sub>3</sub> ~TP <sub>3</sub> 端子) の出力トリガはITUチャンネル3のコンペアマッチ

NDERB    ネクストデータイネーブルレジスタ B

H' A2

TPC

ビット：	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値：	0	0	0	0	0	0	0	0
R／W：	R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

ネクストデータイネーブル15～8

ビット7～0	説                      明
NDER15 ～NDER8	
0	
1	T P C出力TP <sub>15</sub> ～TP <sub>8</sub> を許可 ( N D R 15～N D R 8 から P B <sub>15</sub> ～P B <sub>8</sub> への転送許可)

NDERA    ネクストデータイネーブルレジスタ A

H' A3

TPC

ビット：	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値：	0	0	0	0	0	0	0	0
R／W：	R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

ネクストデータイネーブル7～0

ビット7～0	説                      明
NDER7 ～NDER0	
0	
1	T P C出力TP <sub>7</sub> ～TP <sub>0</sub> を許可 ( N D R 7～N D R 0 から P A <sub>7</sub> ～P A <sub>0</sub> への転送許可)

## ■ T P C 出力グループ 2、3 の出力トリガが同一の場合

(1) アドレス : H' FFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
T P C 出力グループ 3 の次の 出力データを格納				T P C 出力グループ 2 の次の 出力データを格納				

(2) アドレス : H' FFA6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

## ■ T P C 出力グループ 2、3 の出力トリガが異なる場合

(1) アドレス : H' FFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—
T P C 出力グループ 3 の次の 出力データを格納								

(2) アドレス : H' FFA6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W
				T P C 出力グループ 2 の次の 出力データを格納				

## ■ T P C 出力グループ 0、1 の出力トリガが同一の場合

(1) アドレス : H' FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	T P C 出力グループ 1 の次の 出力データを格納				T P C 出力グループ 0 の次の 出力データを格納			

(2) アドレス : H' FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

## ■ T P C 出力グループ 0、1 の出力トリガが異なる場合

(1) アドレス : H' FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—
	T P C 出力グループ 1 の次の 出力データを格納							

(2) アドレス : H' FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W
					T P C 出力グループ 0 の次の 出力データを格納			

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	—	—	R/W	R/W	R/W

クロックセレクト 2 ~ 0

0	0	0	$\phi / 2$
		1	$\phi / 32$
	1	0	$\phi / 64$
		1	$\phi / 128$
1	0	0	$\phi / 256$
		1	$\phi / 512$
	1	0	$\phi / 2048$
		1	$\phi / 4096$

タイマイネーブル

0	タイマディスエーブル ・ TCNT を H' 00 にイニシャライズし、 カウントアップを停止
1	タイマイネーブル ・ TCNT はカウントアップ開始 ・ CPU への割り込み要求を許可

タイマモードセレクト

0	インターバルタイマを選択。 (インターバルタイマ割り込み要求)
1	ウォッチドッグタイマを選択 (リセット信号を発生)

オーバフローフラグ

0	〔クリア条件〕 OVF = "1" の状態で OVF フラグをリードした後、OVF フラグに "0" をライトしたとき
1	〔セット条件〕 TCNT が H' FF → H' 00 に変化したとき

【注】\* フラグをクリアするための "0" ライトのみ可能です。

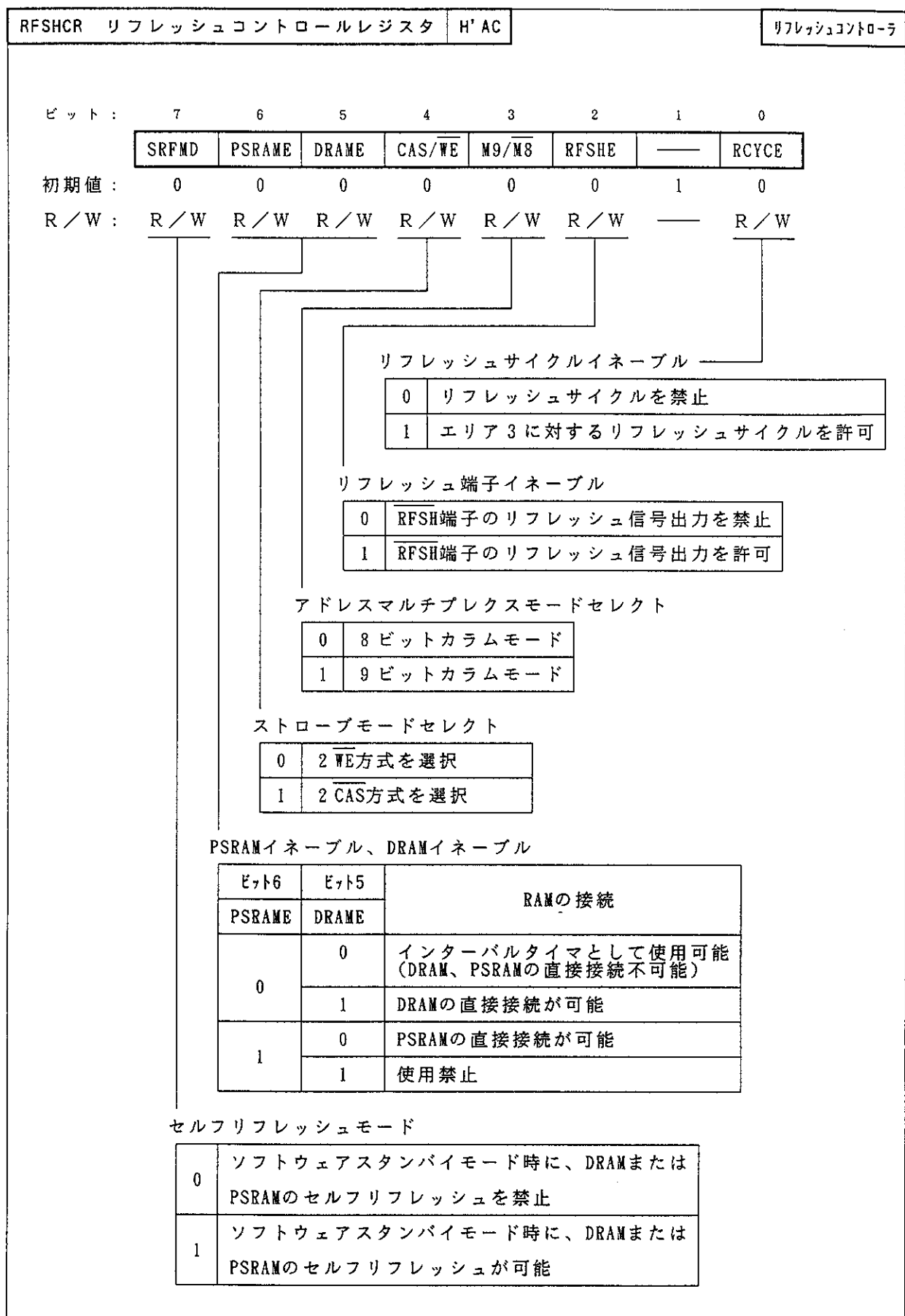
TCNT タイマカウンタ		H' A9 リード時、H' A8 ライト時						WDT
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<div style="border: 1px solid black; width: 100px; height: 15px; margin: 0 auto;"></div> カウント値								

RSTCSR リセットコントロール/ステータスレジスタ		H' AB リード時、H' AA ライト時						WDT				
ビット:	7	6	5	4	3	2	1	0				
	WRST	RSTOE	—	—	—	—	—	—				
初期値:	0	0	1	1	1	1	1	1				
R/W:	R/(W)*	R/W	—	—	—	—	—	—				
<div style="border: 1px solid black; padding: 5px; margin: 10px auto; width: 80%;">             リセット出力イネーブル             <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>リセット信号の外部出力を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>リセット信号の外部出力を許可</td> </tr> </table> </div>									0	リセット信号の外部出力を禁止	1	リセット信号の外部出力を許可
0	リセット信号の外部出力を禁止											
1	リセット信号の外部出力を許可											
ウォッチドッグタイマリセット <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>           [クリア条件]            (1) <math>\overline{\text{RES}}</math> 端子によるリセット信号            (2) WRST = "1" の状態で、WRSTフラグをリード後"0"をライトしたとき         </td> </tr> <tr> <td style="text-align: center;">1</td> <td>           [セット条件]            TCNTがオーバフローし、リセット信号が発生したとき         </td> </tr> </table>									0	[クリア条件] (1) $\overline{\text{RES}}$ 端子によるリセット信号 (2) WRST = "1" の状態で、WRSTフラグをリード後"0"をライトしたとき	1	[セット条件] TCNTがオーバフローし、リセット信号が発生したとき
0	[クリア条件] (1) $\overline{\text{RES}}$ 端子によるリセット信号 (2) WRST = "1" の状態で、WRSTフラグをリード後"0"をライトしたとき											
1	[セット条件] TCNTがオーバフローし、リセット信号が発生したとき											

【注】\* ビット7は、フラグをクリアする"0"ライトのみ可能です。



ビット:	7	6	5	4	3	2	1	0
	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W:	R/(W)*	R/W	R/W	R/W	R/W	—	—	—

クロックセレクト 2 ~ 0

ビット5	ビット4	ビット3	カウントクロック
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止
		1	$\phi/2$
	1	0	$\phi/8$
		1	$\phi/32$
1	0	0	$\phi/128$
		1	$\phi/512$
	1	0	$\phi/2048$
		1	$\phi/4096$

コンペアマッチインタラプトイネーブル

0	CMFフラグによる割込み (CMI) 要求を禁止
1	CMFフラグによる割込み (CMI) 要求を許可

コンペアマッチフラグ

	〔クリア条件〕
0	CMF="1"の状態、CMFフラグをリードした後、CMFフラグに"0"をライトしたとき
	〔セット条件〕
1	RTCNT=RTCORになったとき

【注】\* フラグをクリアするための"0"ライトのみ可能です。



RTCNT	リフレッシュタイムカウンタ	H' AE	リフレッシュコントローラ
-------	---------------	-------	--------------

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

カウント値

RTCOR	リフレッシュタイムコンスタントレジスタ	H' AF	リフレッシュコントローラ
-------	---------------------	-------	--------------

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCNTとのコンペアマッチ周期を設定

ビット:	7	6	5	4	3	2	1	0	
	C/A	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト 1、0

ビット1	ビット0	クロックの選択
CKS1	CKS0	
0	0	φ クロック
	1	φ /4 クロック
1	0	φ /16 クロック
	1	φ /64 クロック

マルチプロセッサモード

0	マルチプロセッサ機能を禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1 ストップビット
1	2 ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8 ビットデータ
1	7 ビットデータ

コミュニケーションモード (シリアルコミュニケーションインタフェース時)

0	調歩同期式モード
1	クロック同期式モード

GSMモード (スマートカードインタフェース時)

0	通常のスマートカードインタフェースモードの動作
1	GSMモードのスマートカードインタフェースモードの動作

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信／受信のビットレートを設定

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## クロックイネーブル1、0

ビット1	ビット0	クロックの選択、出力の許可	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック/SCK端子は入出力ポート
		クロック同期式モード	内部クロック/SCK端子は同期クロック出力
	1	調歩同期式モード	内部クロック/SCK端子はクロック出力
		クロック同期式モード	内部クロック/SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK端子はクロック入力
		クロック同期式モード	外部クロック/SCK端子は同期クロック入力
	1	調歩同期式モード	外部クロック/SCK端子はクロック入力
		クロック同期式モード	外部クロック/SCK端子は同期クロック入力

## トランスミットエンドインタラプトイネーブル

0	送信終了割込み (TEI) 要求を禁止
1	送信終了割込み (TEI) 要求を許可

## マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割込みを禁止 (通常の受信動作を行う)
1	マルチプロセッサ割込みを許可

## トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

## レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

## レシーブインタラプトイネーブル

0	受信データ割込み (RXI) 要求、受信エラー割込み (ERI) 要求を禁止
1	受信データ割込み (RXI) 要求、受信エラー割込み (ERI) 要求を許可

## トランスミットインタラプトイネーブル

0	送信データ割込み (TXI) 要求を禁止
1	送信データ割込み (TXI) 要求を許可

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

## マルチプロセッサビットトランスファ

0	マルチプロセッサビットが“0”のデータを送信
1	マルチプロセッサビットが“1”のデータを送信

## マルチプロセッサビット

0	マルチプロセッサビットが“0”のデータを受信
1	マルチプロセッサビットが“1”のデータを受信

## トランスミットエンド

0	〔クリア条件〕 1. TDRE = “1”の状態をリードした後、“0”をライトしたとき 2. DMACがTDRへデータをライトしたとき
1	〔セット条件〕 1. リセット、またはスタンバイモード時 2. SCRのTEビットが“0”のとき、かつFER/ERSビットが“0”のとき 3. 1バイトのシリアル送信データの最末尾ビットの送信時にTDRE = “1”のとき

## パリティエラー

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. PER = “1”の状態をリードした後、“0”をライトしたとき
1	〔セット条件〕 パリティエラーが発生したとき（受信したデータのパリティがSMRの0/Eビットで設定したパリティと一致しなかったとき）

## フレーミングエラー（SCIOのとき）

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. FER = “1”の状態をリードした後、“0”をライトしたとき
1	〔セット条件〕 フレーミングエラーが発生したとき（ストップビットが“0”の場合）

## エラーシグナルステータス（スマートカードインタフェースのとき）

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. ERS = “1”の状態をリードした後、“0”をライトしたとき
1	〔セット条件〕 エラーシグナル“Low”を受信したとき

## オーバーランエラー

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. ORER = “1”の状態をリードした後、“0”をライトしたとき
1	〔セット条件〕 オーバーランエラーが発生したとき（RDRF = “1”の状態でのデータが受信完了したとき）

## レシーブデータレジスタフル

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. RDRF = “1”の状態をリードした後、“0”をライトしたとき 3. DMACでRDRのデータをリードしたとき
1	〔セット条件〕 データが正常に受信され、RSRからRDRへデータが転送されたとき

## トランスミットデータレジスタエンpty

0	〔クリア条件〕 1. TDRE = “1”の状態をリードした後、“0”をライトしたとき 2. DMACでTDRへデータをライトしたとき
1	〔セット条件〕 1. リセット、またはスタンバイモード時 2. SCRのTEビットが“0”のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】\* フラグをクリアするための“0”ライトのみ可能です。

ビット：	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信データを格納

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

シリアル受信データを格納

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	—	—	—	—	R/W	R/W	—	R/W

## スマートカードインタフェースモードセレクト

0	スマートカードインタフェース機能を禁止	(初期値)
1	スマートカードインタフェース機能を許可	*

## スマートカードデータインバート

0	TDRの内容をそのまま送信します 受信したデータをそのままRDRに格納します。	(初期値)
1	TDRの内容を反転してデータを送信します 受信したデータを反転してRDRに格納します	

## スマートカードデータ転送ディレクション

0	TDRの内容をLSBファーストとして送信します 受信したデータをLSBファーストとしてRDRに格納します	(初期値)
1	TDRの内容をMSBファーストとして送信します 受信したデータをMSBファーストとしてRDRに格納します	



SMR シリアルモードレジスタ H'B8

SCI1

ビット:	7	6	5	4	3	2	1	0
	C/ $\overline{A}$	CHR	PE	O/ $\overline{E}$	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

BRR ビットレートレジスタ H'B9

SCI1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

SCR シリアルコントロールレジスタ H'BA

SCI1

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPiE	TEiE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

TDR    トランスミットデータレジスタ		H'BB		SCI1				
ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
※機能はSCI0と同じです。								

SSR    シリアルステータスレジスタ		H'BC		SCI1				
ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W
※機能はSCI0と同じです。								
【注】*    フラグをクリアするための“0”ライトのみ可能です。								

RDR    レシーブデータレジスタ		H'BD		SCI1				
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
※機能はSCI0と同じです。								

P1DDR    ポート 1 データディレクションレジスタ    H' C0

ポート 1

ビット :	7	6	5	4	3	2	1	0
	P1 <sub>7</sub> DDR	P1 <sub>6</sub> DDR	P1 <sub>5</sub> DDR	P1 <sub>4</sub> DDR	P1 <sub>3</sub> DDR	P1 <sub>2</sub> DDR	P1 <sub>1</sub> DDR	P1 <sub>0</sub> DDR
ポート1-4 {	初期値 :	1	1	1	1	1	1	1
	R / W :	—	—	—	—	—	—	—
ポート5-7 {	初期値 :	0	0	0	0	0	0	0
	R / W :	W	W	W	W	W	W	W

ポート 1 入出力選択

0	入力ポート
1	出力ポート

P2DDR    ポート 2 データディレクションレジスタ    H' C1

ポート 2

ビット :	7	6	5	4	3	2	1	0
	P2 <sub>7</sub> DDR	P2 <sub>6</sub> DDR	P2 <sub>5</sub> DDR	P2 <sub>4</sub> DDR	P2 <sub>3</sub> DDR	P2 <sub>2</sub> DDR	P2 <sub>1</sub> DDR	P2 <sub>0</sub> DDR
ポート1-4 {	初期値 :	1	1	1	1	1	1	1
	R / W :	—	—	—	—	—	—	—
ポート5-7 {	初期値 :	0	0	0	0	0	0	0
	R / W :	W	W	W	W	W	W	W

ポート 2 入出力選択

0	入力ポート
1	出力ポート

P1DR    ポート 1 データレジスタ    H' C2	ポート 1
--------------------------------	-------

ビット：	7	6	5	4	3	2	1	0
	P1 <sub>7</sub>	P1 <sub>6</sub>	P1 <sub>5</sub>	P1 <sub>4</sub>	P1 <sub>3</sub>	P1 <sub>2</sub>	P1 <sub>1</sub>	P1 <sub>0</sub>
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 1 の各端子のデータを格納

P2DR    ポート 2 データレジスタ    H' C3	ポート 2
--------------------------------	-------

ビット：	7	6	5	4	3	2	1	0
	P2 <sub>7</sub>	P2 <sub>6</sub>	P2 <sub>5</sub>	P2 <sub>4</sub>	P2 <sub>3</sub>	P2 <sub>2</sub>	P2 <sub>1</sub>	P2 <sub>0</sub>
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 2 の各端子のデータを格納

P3DDR    ポート 3 データディレクションレジスタ    H' C4	ポート 3
--	-------

ビット：	7	6	5	4	3	2	1	0
	P3 <sub>7</sub> DDR	P3 <sub>6</sub> DDR	P3 <sub>5</sub> DDR	P3 <sub>4</sub> DDR	P3 <sub>3</sub> DDR	P3 <sub>2</sub> DDR	P3 <sub>1</sub> DDR	P3 <sub>0</sub> DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート 3 入出力選択

0	入力ポート
1	出力ポート

P4DDR    ポート 4 データディレクションレジスタ    H' C5	ポート 4								
<div style="display: flex; justify-content: space-between; margin-bottom: 10px;"> <span>ビット :</span> <span>7</span> <span>6</span> <span>5</span> <span>4</span> <span>3</span> <span>2</span> <span>1</span> <span>0</span> </div> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">P4<sub>7</sub>DDR</td> <td style="width: 12.5%;">P4<sub>6</sub>DDR</td> <td style="width: 12.5%;">P4<sub>5</sub>DDR</td> <td style="width: 12.5%;">P4<sub>4</sub>DDR</td> <td style="width: 12.5%;">P4<sub>3</sub>DDR</td> <td style="width: 12.5%;">P4<sub>2</sub>DDR</td> <td style="width: 12.5%;">P4<sub>1</sub>DDR</td> <td style="width: 12.5%;">P4<sub>0</sub>DDR</td> </tr> </table> <div style="display: flex; justify-content: space-between; margin-top: 5px;"> <span>初期値 :</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> </div> <div style="display: flex; justify-content: space-between; margin-top: 5px;"> <span>R / W :</span> <span>W</span> <span>W</span> <span>W</span> <span>W</span> <span>W</span> <span>W</span> <span>W</span> <span>W</span> </div>		P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR
P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR		
<div style="margin-bottom: 5px;">↓</div> <p>ポート 4 入出力選択</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td>出力ポート</td> </tr> </table>		0	入力ポート	1	出力ポート				
0	入力ポート								
1	出力ポート								
P3DR    ポート 3 データレジスタ    H' C6	ポート 3								
<div style="display: flex; justify-content: space-between; margin-bottom: 10px;"> <span>ビット :</span> <span>7</span> <span>6</span> <span>5</span> <span>4</span> <span>3</span> <span>2</span> <span>1</span> <span>0</span> </div> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">P3<sub>7</sub></td> <td style="width: 12.5%;">P3<sub>6</sub></td> <td style="width: 12.5%;">P3<sub>5</sub></td> <td style="width: 12.5%;">P3<sub>4</sub></td> <td style="width: 12.5%;">P3<sub>3</sub></td> <td style="width: 12.5%;">P3<sub>2</sub></td> <td style="width: 12.5%;">P3<sub>1</sub></td> <td style="width: 12.5%;">P3<sub>0</sub></td> </tr> </table> <div style="display: flex; justify-content: space-between; margin-top: 5px;"> <span>初期値 :</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> </div> <div style="display: flex; justify-content: space-between; margin-top: 5px;"> <span>R / W :</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> </div>		P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>
P3 <sub>7</sub>	P3 <sub>6</sub>	P3 <sub>5</sub>	P3 <sub>4</sub>	P3 <sub>3</sub>	P3 <sub>2</sub>	P3 <sub>1</sub>	P3 <sub>0</sub>		
<div style="margin-bottom: 5px;">↓</div> <p>ポート 3 の各端子のデータを格納</p>									
P4DR    ポート 4 データレジスタ    H' C7	ポート 4								
<div style="display: flex; justify-content: space-between; margin-bottom: 10px;"> <span>ビット :</span> <span>7</span> <span>6</span> <span>5</span> <span>4</span> <span>3</span> <span>2</span> <span>1</span> <span>0</span> </div> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">P4<sub>7</sub></td> <td style="width: 12.5%;">P4<sub>6</sub></td> <td style="width: 12.5%;">P4<sub>5</sub></td> <td style="width: 12.5%;">P4<sub>4</sub></td> <td style="width: 12.5%;">P4<sub>3</sub></td> <td style="width: 12.5%;">P4<sub>2</sub></td> <td style="width: 12.5%;">P4<sub>1</sub></td> <td style="width: 12.5%;">P4<sub>0</sub></td> </tr> </table> <div style="display: flex; justify-content: space-between; margin-top: 5px;"> <span>初期値 :</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> <span>0</span> </div> <div style="display: flex; justify-content: space-between; margin-top: 5px;"> <span>R / W :</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> <span>R / W</span> </div>		P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>
P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>		
<div style="margin-bottom: 5px;">↓</div> <p>ポート 4 の各端子のデータを格納</p>									

P5DDR    ポート 5 データディレクションレジスタ	H' C8	ポート 5
-------------------------------	-------	-------

	ビット :	7	6	5	4	3	2	1	0
		—	—	—	—	P5 <sub>3</sub> DDR	P5 <sub>2</sub> DDR	P5 <sub>1</sub> DDR	P5 <sub>0</sub> DDR
モ-F1~4 {	初期値 :	1	1	1	1	1	1	1	1
	R / W :	—	—	—	—	—	—	—	—
モ-F5~7 {	初期値 :	1	1	1	1	0	0	0	0
	R / W :	—	—	—	—	W	W	W	W

ポート 5 入出力選択

0	入力ポート
1	出力ポート

P6DDR    ポート 6 データディレクションレジスタ	H' C9	ポート 6
-------------------------------	-------	-------

	ビット :	7	6	5	4	3	2	1	0
		—	P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR
初期値 :	1	0	0	0	0	0	0	0	0
R / W :	—	W	W	W	W	W	W	W	W

ポート 6 入出力選択

0	入力ポート
1	出力ポート

P5DR
ポート 5 データレジスタ
H'CA

ポート 5

ビット:      7                  6                  5                  4                  3                  2                  1                  0

—	—	—	—	P5 <sub>3</sub>	P5 <sub>2</sub>	P5 <sub>1</sub>	P5 <sub>0</sub>
---	---	---	---	-----------------	-----------------	-----------------	-----------------

初期値:      1                  1                  1                  1                  0                  0                  0                  0

R/W:      —                  —                  —                  —                  R/W    R/W    R/W    R/W

|  
ポート 5 の各端子のデータを格納

P6DR
ポート 6 データレジスタ
H'CB

ポート 6

ビット:      7                  6                  5                  4                  3                  2                  1                  0

—	P6 <sub>5</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>
---	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値:      1                  0                  0                  0                  0                  0                  0                  0

R/W:      —                  R/W    R/W    R/W    R/W    R/W    R/W    R/W

|  
ポート 6 の各端子のデータを格納

P8DDR    ポート 8 データディレクションレジスタ	H' CD	ポート 8
-------------------------------	-------	-------

ビット :	7	6	5	4	3	2	1	0
	――	――	――	P8 <sub>4</sub> DDR	P8 <sub>3</sub> DDR	P8 <sub>2</sub> DDR	P8 <sub>1</sub> DDR	P8 <sub>0</sub> DDR
モード1~4 { 初期値 :	1	1	1	1	0	0	0	0
R / W :	――	――	――	W	W	W	W	W
モード5~7 { 初期値 :	1	1	1	0	0	0	0	0
R / W :	――	――	――	W	W	W	W	W

ポート 8 入出力選択

0	入力ポート
1	出力ポート

ポート 8 入出力選択

0	入力ポート
1	$\overline{\text{CS}}$ 出力端子

P7DR    ポート 7 データレジスタ	H' CE	ポート 7
-----------------------	-------	-------

ビット :	7	6	5	4	3	2	1	0
	P7 <sub>7</sub>	P7 <sub>6</sub>	P7 <sub>5</sub>	P7 <sub>4</sub>	P7 <sub>3</sub>	P7 <sub>2</sub>	P7 <sub>1</sub>	P7 <sub>0</sub>
初期値 :	―― *	―― *	―― *	―― *	―― *	―― *	―― *	―― *
R / W :	R	R	R	R	R	R	R	R

ポート 7 の各端子の状態を読む

**【注】** \*    P7<sub>7</sub>~P7<sub>0</sub>端子により決定されます。



P8DR    ポート 8 データレジスタ				H' CF				ポート 8			
ビット :				7	6	5	4	3	2	1	0
				—	—	—	P8 <sub>4</sub>	P8 <sub>3</sub>	P8 <sub>2</sub>	P8 <sub>1</sub>	P8 <sub>0</sub>
初期値 :				1	1	1	0	0	0	0	0
R/W :				—	—	—	R/W	R/W	R/W	R/W	R/W
↓ ポート 8 の各端子のデータを格納											

P9DDR    ポート 9 データディレクションレジスタ				H' D0				ポート 9			
ビット :				7	6	5	4	3	2	1	0
				—	—	P9 <sub>5</sub> DDR	P9 <sub>4</sub> DDR	P9 <sub>3</sub> DDR	P9 <sub>2</sub> DDR	P9 <sub>1</sub> DDR	P9 <sub>0</sub> DDR
初期値 :				1	1	0	0	0	0	0	0
R/W :				—	—	W	W	W	W	W	W
↓ ポート 9 入出力選択											
				0    入力ポート							
				1    出力ポート							

PADDR    ポート A データディレクションレジスタ				H' D1				ポート A			
ビット :				7	6	5	4	3	2	1	0
				PA <sub>7</sub> DDR	PA <sub>6</sub> DDR	PA <sub>5</sub> DDR	PA <sub>4</sub> DDR	PA <sub>3</sub> DDR	PA <sub>2</sub> DDR	PA <sub>1</sub> DDR	PA <sub>0</sub> DDR
モード 3、4、6 {	初期値 :	1	0	0	0	0	0	0	0	0	0
	R/W :	—	W	W	W	W	W	W	W	W	W
モード 1、2、5、7 {	初期値 :	0	0	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W	W	W
↓ ポート A 入出力選択											
				0    入力ポート							
				1    出力ポート							

P9DR

ポート 9 データレジスタ

H' D2

ポート 9

ビット :

7

6

5

4

3

2

1

0

—

—

P9<sub>5</sub>

P9<sub>4</sub>

P9<sub>3</sub>

P9<sub>2</sub>

P9<sub>1</sub>

P9<sub>0</sub>

初期値 :

1

1

0

0

0

0

0

0

R / W :

—

—

R / W

R / W

R / W

R / W

R / W

R / W

ポート 9 の各端子のデータを格納

PADR

ポート A データレジスタ

H' D3

ポート A

ビット :

7

6

5

4

3

2

1

0

PA<sub>7</sub>

PA<sub>6</sub>

PA<sub>5</sub>

PA<sub>4</sub>

PA<sub>3</sub>

PA<sub>2</sub>

PA<sub>1</sub>

PA<sub>0</sub>

初期値 :

0

0

0

0

0

0

0

0

R / W :

R / W

R / W

R / W

R / W

R / W

R / W

R / W

ポート A の各端子のデータを格納

PBDDR

ポート B データディレクションレジスタ

H' D4

ポート B

ビット :

7

6

5

4

3

2

1

0

PB<sub>7</sub>DDR

PB<sub>6</sub>DDR

PB<sub>5</sub>DDR

PB<sub>4</sub>DDR

PB<sub>3</sub>DDR

PB<sub>2</sub>DDR

PB<sub>1</sub>DDR

PB<sub>0</sub>DDR

初期値 :

0

0

0

0

0

0

0

0

R / W :

W

W

W

W

W

W

W

ポート B 入出力選択

0

入力ポート

1

出力ポート

PBDR    ポート B データレジスタ    H' D6	ポート B
--------------------------------	-------

ビット：	7	6	5	4	3	2	1	0
	PB <sub>7</sub>	PB <sub>6</sub>	PB <sub>5</sub>	PB <sub>4</sub>	PB <sub>3</sub>	PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>
初期値：	0	0	0	0	0	0	0	0
R／W：	R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

ポート B の各端子のデータを格納

P2PCR    ポート 2 入力プルアップMOSコントロールレジスタ    H' D8	ポート 2
--	-------

ビット：	7	6	5	4	3	2	1	0
	P2 <sub>7</sub> PCR	P2 <sub>6</sub> PCR	P2 <sub>5</sub> PCR	P2 <sub>4</sub> PCR	P2 <sub>3</sub> PCR	P2 <sub>2</sub> PCR	P2 <sub>1</sub> PCR	P2 <sub>0</sub> PCR
初期値：	0	0	0	0	0	0	0	0
R／W：	R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

ポート 2 入力プルアップMOS コントロール 7 ～ 0

0	入力プルアップMOS はOFF
1	入力プルアップMOS はON

※P2DDRを“0”に指定したとき（入力ポートに指定）

P4PCR ポート 4 入力プルアップMOSコントロールレジスタ H' DA

ポート 4

ビット:	7	6	5	4	3	2	1	0
	P4 <sub>7</sub> PCR	P4 <sub>6</sub> PCR	P4 <sub>5</sub> PCR	P4 <sub>4</sub> PCR	P4 <sub>3</sub> PCR	P4 <sub>2</sub> PCR	P4 <sub>1</sub> PCR	P4 <sub>0</sub> PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 4 入力プルアップMOS コントロール 7 ~ 0

0	入力プルアップMOS は OFF
1	入力プルアップMOS は ON

※P4DDRを“0”に指定したとき（入力ポートに指定）

P5PCR ポート 5 入力プルアップMOSコントロールレジスタ H' DB

ポート 5

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P5 <sub>3</sub> PCR	P5 <sub>2</sub> PCR	P5 <sub>1</sub> PCR	P5 <sub>0</sub> PCR
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

ポート 5 入力プルアップMOS コントロール 3 ~ 0

0	入力プルアップMOS は OFF
1	入力プルアップMOS は ON

※P5DDRを“0”に指定したとき（入力ポートに指定）

DADR0 D/Aデータレジスタ 0	H' DC	D/A								
<div style="margin-bottom: 10px;">             ビット：      7            6            5            4            3            2            1            0           </div> <div style="margin-bottom: 10px;"> <table border="1" style="width: 100%; height: 20px; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table> </div> <div style="margin-bottom: 10px;">             初期値：      0            0            0            0            0            0            0            0           </div> <div style="margin-bottom: 10px;">             R/W：      R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W           </div> <div style="text-align: center; margin-top: 10px;">             ↓              D/A変換データを格納           </div>										
DADR1 D/Aデータレジスタ 1	H' DD	D/A								
<div style="margin-bottom: 10px;">             ビット：      7            6            5            4            3            2            1            0           </div> <div style="margin-bottom: 10px;"> <table border="1" style="width: 100%; height: 20px; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table> </div> <div style="margin-bottom: 10px;">             初期値：      0            0            0            0            0            0            0            0           </div> <div style="margin-bottom: 10px;">             R/W：      R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W           </div> <div style="text-align: center; margin-top: 10px;">             ↓              D/A変換データを格納           </div>										

ビット:	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	—	—	—	—	—

## D/Aイネーブル (DAE)

ビット7	ビット6	ビット5	説明
DAOE1	DAOE0	DAE	
0	0	—	チャンネル0、1のD/A変換を禁止
0	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
0	1	1	チャンネル0、1のD/A変換を許可
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
1	0	1	チャンネル0、1のD/A変換を許可
1	1	—	チャンネル0、1のD/A変換を許可

## D/Aアウトプットイネーブル0

0	アナログ出力DA <sub>0</sub> を禁止
1	チャンネル0のD/A変換を許可 アナログ出力DA <sub>0</sub> を許可

## D/Aアウトプットイネーブル1

0	アナログ出力DA <sub>1</sub> を禁止
1	チャンネル1のD/A変換を許可 アナログ出力DA <sub>1</sub> を許可

ADDRA H、L A/DデータレジスタA H、L	H'E0、H'E1	A/D
---------------------------	-----------	-----

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRAH								ADDRAL							

A/D変換データ  
A/D変換結果の10ビット  
データを格納

ADDRB H、L A/DデータレジスタB H、L	H'E2、H'E3	A/D
---------------------------	-----------	-----

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRBH								ADDRBL							

A/D変換データ  
A/D変換結果の10ビット  
データを格納

ADDRC H,L A/DデータレジスタC H,L	H'E4、H'E5	A/D
---------------------------	-----------	-----

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—

初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

ADDRCH

ADDRCL

└─ A/D変換データ

A/D変換結果の10ビット

データを格納

ADDRD H,L A/DデータレジスタD H,L	H'E6、H'E7	A/D
---------------------------	-----------	-----

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—

初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

ADDRDH

ADDRDL

└─ A/D変換データ

A/D変換結果の10ビット

データを格納

ADCR A/Dコントロールレジスタ	H'E9	A/D
--------------------	------	-----

ビット：	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—

初期値：	0	1	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

R/W：	R/W	—	—	—	—	—	—	—
------	-----	---	---	---	---	---	---	---

└─ トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	外部トリガ端子 (ADTRG) の立下がり でA/D変換を開始



ADCSR A/Dコントロール/ ステータスレジスタ

H'E8

A/D

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト

グループ 選択	チャンネル選択			説 明	
CH2	CH1	CH0	単一モード	スキャンモード	
0	0	0	AN <sub>0</sub>	AN <sub>0</sub>	
		1	AN <sub>1</sub>	AN <sub>0</sub> 、AN <sub>1</sub>	
	1	0	AN <sub>2</sub>	AN <sub>0</sub> ～AN <sub>2</sub>	
		1	AN <sub>3</sub>	AN <sub>0</sub> ～AN <sub>3</sub>	
1	0	0	AN <sub>4</sub>	AN <sub>4</sub>	
		1	AN <sub>5</sub>	AN <sub>4</sub> 、AN <sub>5</sub>	
	1	0	AN <sub>6</sub>	AN <sub>4</sub> ～AN <sub>6</sub>	
		1	AN <sub>7</sub>	AN <sub>4</sub> ～AN <sub>7</sub>	

クロックセレクト

0	変換時間 = 266ステート (max)
1	変換時間 = 134ステート (max)

スキャンモード

0	単一モード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に“0”にクリア
	(2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって“0”にクリアされるまで、選択されたチャンネルを順次連続変換

A/Dインタラプトイネーブル

0	A/D変換終了による割込み要求を禁止
1	A/D変換終了による割込み要求を許可

A/Dエンドフラグ

0	<div>[クリア条件]</div> ADF = “1”の状態ADFフラグをリードした後、ADFフラグに“0”をライトしたとき
1	<div>[セット条件]</div> (1) 単一モード: A/D変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルのA/D変換が終了したとき

【注】\* フラグをクリアするための“0”ライトのみ可能です。

【注】\* フラグをクリアするための“0”ライトのみ可能です。

ABWCR	バス幅コントロールレジスタ	H'EC	バスコントローラ
-------	---------------	------	----------

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード1、3、5、6	初期値:	1	1	1	1	1	1	1
モード2、4、7	初期値:	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7～0バス幅コントロール

ビット7～0	アクセス空間の指定
ABW7 ～ABW0	
0	
1	エリア7～0を8ビットアクセス空間に設定

ASTCR	アクセスステートコントロールレジスタ	H'ED	バスコントローラ
-------	--------------------	------	----------

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7～0アクセスステートコントロール

ビット7～0	アクセスステート数の指定
AST7 ～AST0	
0	
1	エリア7～0を3ステートアクセス空間に設定

WCR   ウェイトコントロールレジスタ	H' EE	バスコントローラ
----------------------	-------	----------

ビット:
7
6
5
4
3
2
1
0

—	—	—	—	WMS1	WMS0	WC1	WC0
---	---	---	---	------	------	-----	-----

初期値:
1
1
1
1
0
0
1
1

R/W:
—
—
—
—
R/W
R/W
R/W
R/W

ウェイトカウント 1、0

ビット1	ビット0	ウェイトステート数の指定
WC1	WC0	
0	0	WSCによるウェイトを禁止
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

ウェイトモードセレクト 1、0

ビット3	ビット2	ウェイトモードの指定
WMS1	WMS0	
0	0	プログラマブルウェイトモード
	1	WSCによるウェイトを禁止
1	0	端子ウェイトモード1
	1	端子オートウェイトモード

WCER   ウェイトステートコントローライネーブルレジスタ	H' EF	バスコントローラ
--------------------------------	-------	----------

ビット:
7
6
5
4
3
2
1
0

WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
------	------	------	------	------	------	------	------

初期値:
1
1
1
1
1
1
1

R/W:
R/W
R/W
R/W
R/W
R/W
R/W
R/W

ウェイトステートコントローライネーブル 7～0

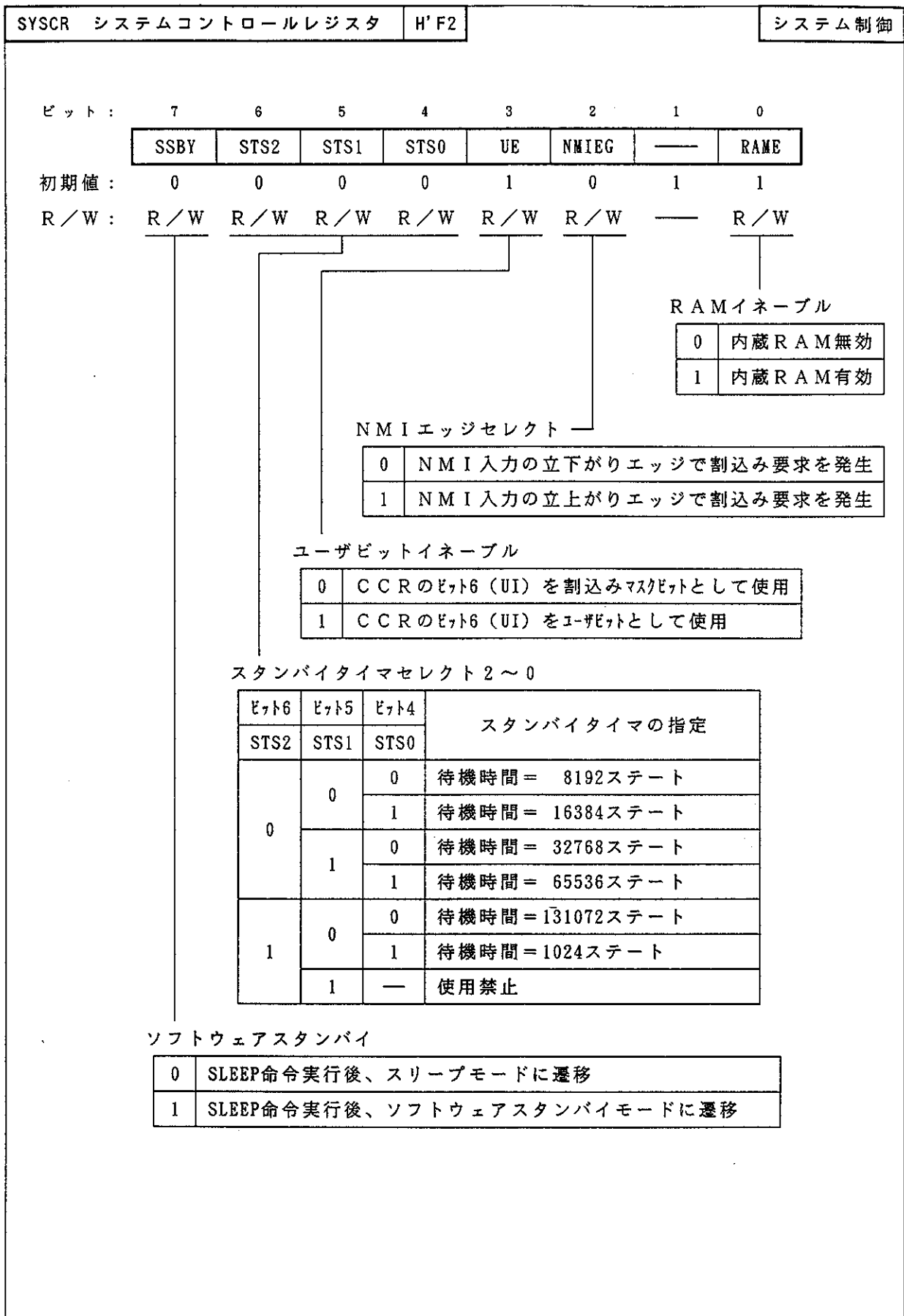
0	WSCの動作を禁止（端子ウェイトモード0）
1	WSCの動作を許可

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	MDS2	MDS1	MDS0
初期値:	1	1	0	0	0	— *	— *	— *
R/W:	—	—	—	—	—	R	R	R

モードセレクト2～0 —

ビット2	ビット1	ビット0	動作モード
MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	
0	0	0	—
		1	モード1
	1	0	モード2
		1	モード3
1	0	0	モード4
		1	モード5
	1	0	モード6
		1	モード7

【注】\* モード端子 (MD<sub>2</sub>～MD<sub>0</sub>) の状態により決定されます。



BRCR    バスリリースコントロールレジスタ    H'F3

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	A23E	A22E	A21E	—	—	—	—	BRLE
モード { 初期値:	1	1	1	1	1	1	1	0
1、2、5、7 { R/W:	—	—	—	—	—	—	—	R/W
モード { 初期値:	1	1	1	1	1	1	1	0
3、4、6 { R/W:	R/W	R/W	R/W	—	—	—	—	R/W
<div> <div>アドレス23～21イネーブル</div> <div> <div>0    アドレス出力</div> <div>1    上記以外の入出力端子</div> </div> <div>バスリリースイネーブル</div> <div> <div>0    バス権の外部に対する解放を禁止</div> <div>1    バス権の外部に対する解放を許可</div> </div> </div>								

ISCR    IRQセンスコントロールレジスタ    H'F4

割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<div> <div>IRQ<sub>5</sub>～IRQ<sub>0</sub>センスコントロール</div> <div> <div>0    <math>\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0</math> 入力の “Low” レベルで割込み要求を発生</div> <div>1    <math>\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0</math> 入力の立下がりエッジで割込み要求を発生</div> </div> </div>								

IER    IRQイネーブルレジスタ    H'F5

割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<div> <div>IRQ<sub>5</sub>～IRQ<sub>0</sub>イネーブル</div> <div> <div>0    IRQ<sub>5</sub>～IRQ<sub>0</sub> 割込みを禁止</div> <div>1    IRQ<sub>5</sub>～IRQ<sub>0</sub> 割込みを許可</div> </div> </div>								

ISR    IRQステータスレジスタ    H'F6

割込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	——	——	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0
R/W：	——	——	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ<sub>5</sub>～IRQ<sub>0</sub>フラグ

ビット 5 ～ 0	セット／クリア条件
IRQ5F～IRQ0F	
0	<div>〔クリア条件〕</div> <div>(1)    IRQ<sub>n</sub>F = “1”の状態では IRQ<sub>n</sub>F をリードした後、           IRQ<sub>n</sub>F に “0” をライトしたとき</div> <div>(2)    IRQ<sub>n</sub>SC = “0”、<math>\overline{\text{IRQn}}</math>入力 が “High” レベルの状態では割込           み例外処理を実行したとき</div> <div>(3)    IRQ<sub>n</sub>SC = “1”の状態では IRQ<sub>n</sub> 割込み例外処理を実行し           たとき</div>
1	<div>〔セット条件〕</div> <div>(1)    IRQ<sub>n</sub>SC = “0”の状態では<math>\overline{\text{IRQn}}</math>入力 が “Low” レベルになっ           たとき</div> <div>(2)    IRQ<sub>n</sub>SC = “1”の状態では<math>\overline{\text{IRQn}}</math>入力 に立下がりエッジが発生し           たとき</div>

(n = 5 ～ 0)

【注】\*    フラグをクリアするための “0” ライトのみ可能です。

## IPRA インタラプトプライオリティレジスタ A H' F8

割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルA7~A0

0	プライオリティレベル 0 (非優先)
1	プライオリティレベル 1 (優先)

## ●割込み要因と各ビットの対応

IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
	割込み要因	IRQ <sub>0</sub>	IRQ <sub>1</sub>	IRQ <sub>2</sub> 、 IRQ <sub>3</sub>	IRQ <sub>4</sub> 、 IRQ <sub>5</sub>	WDT、 リフレッシュ コントローラ	ITU チャンネル0	ITU チャンネル1	ITU チャンネル2

## IPRB インタラプトプライオリティレジスタ B H' F9

割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
	IPRB7	IPRB6	IPRB5	——	IPRB3	IPRB2	IPRB1	——
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルB7~B5、B3~B1

0	プライオリティレベル 0 (非優先)
1	プライオリティレベル 1 (優先)

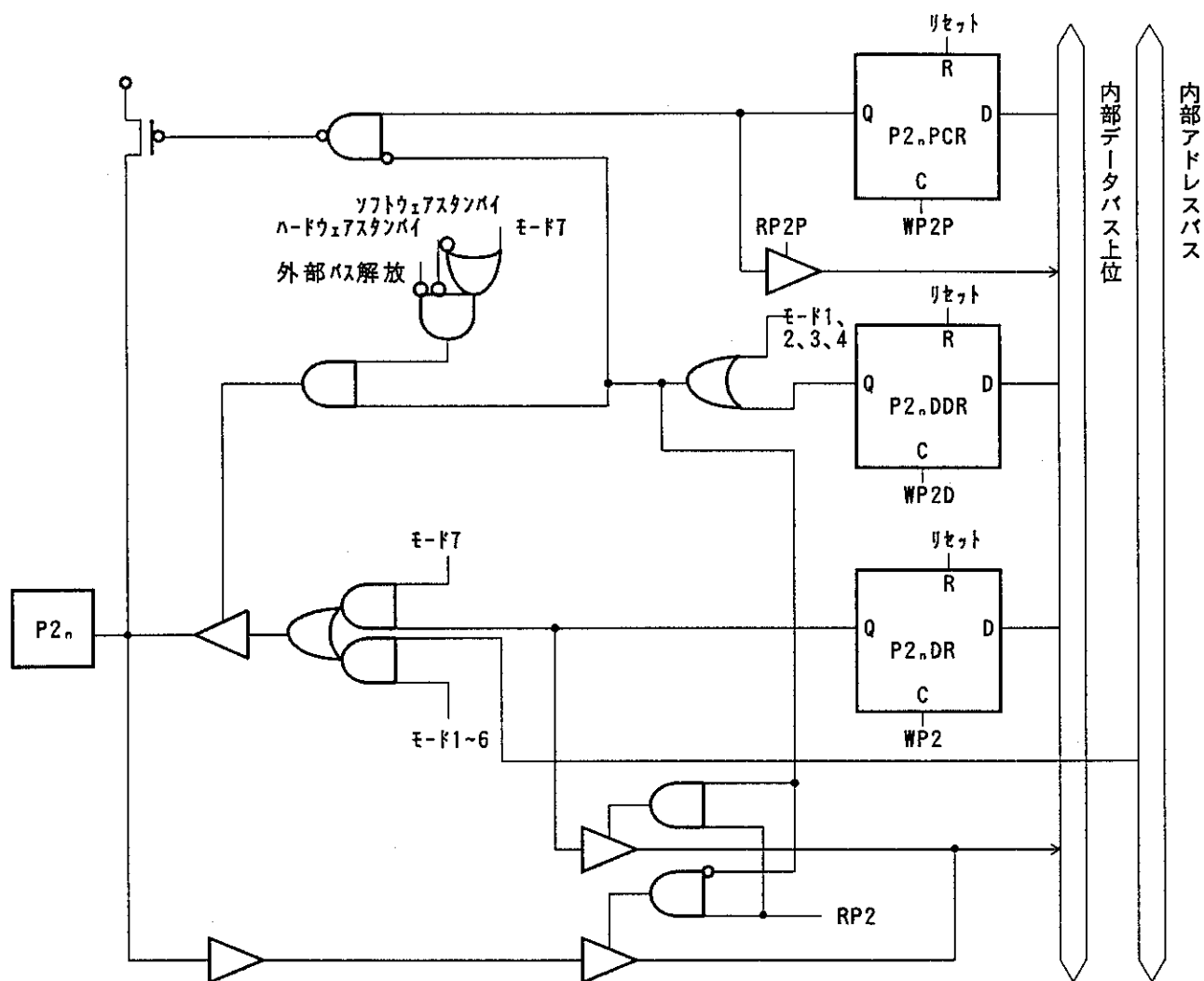
## ●割込み要因と各ビットの対応

IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRB7	IPRB6	IPRB5	——	IPRB3	IPRB2	IPRB1	——
	割込み要因	ITU チャンネル3	ITU チャンネル4	DMAC	——	SCI チャンネル0	SCI チャンネル1	A/D 変換器	——





## C.2 ポート2ブロック図

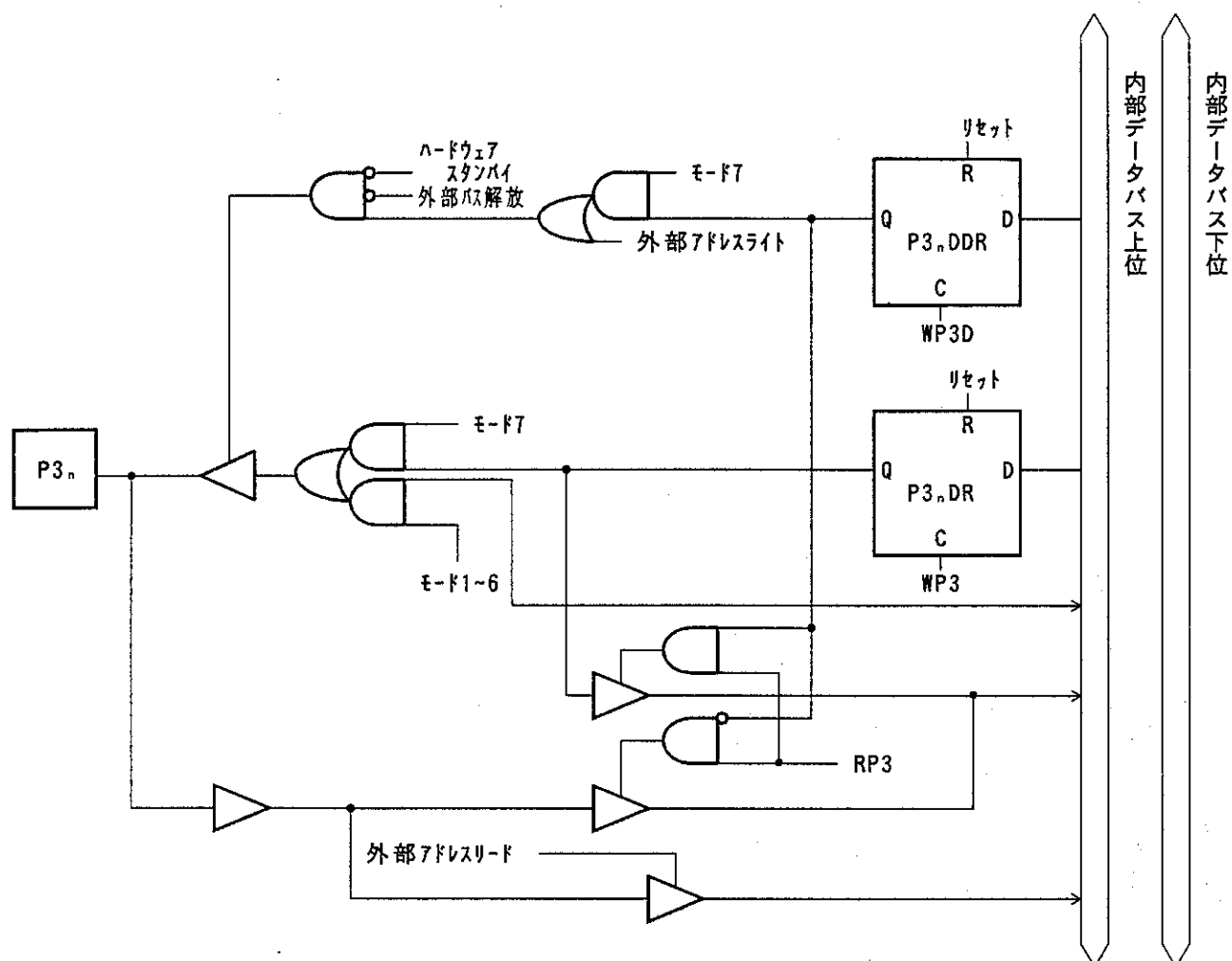


### 《記号説明》

$WP2P$  : PCRライト  
 $RP2P$  : PCRリード  
 $WP2D$  : DDRライト  
 $WP2$  : ポートライト  
 $RP2$  : ポートリード  
 $n = 0 \sim 7$

図C.2 ポート2ブロック図

### C.3 ポート3ブロック図



#### 《記号説明》

WP3D : DDRライト

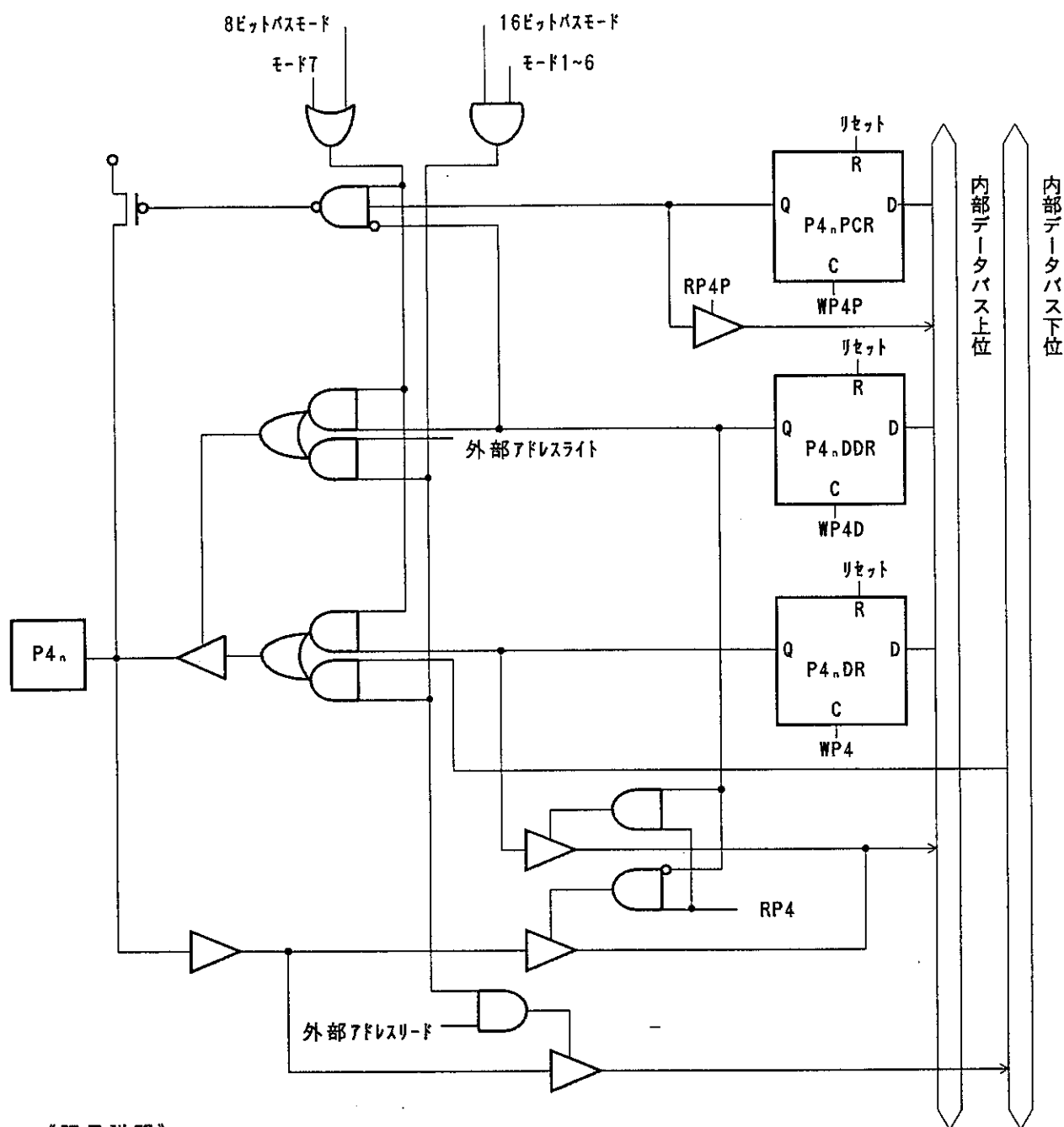
WP3 : ポートライト

RP3 : ポートリード

$n = 0 \sim 7$

図C.3 ポート3ブロック図

## C.4 ポート4ブロック図

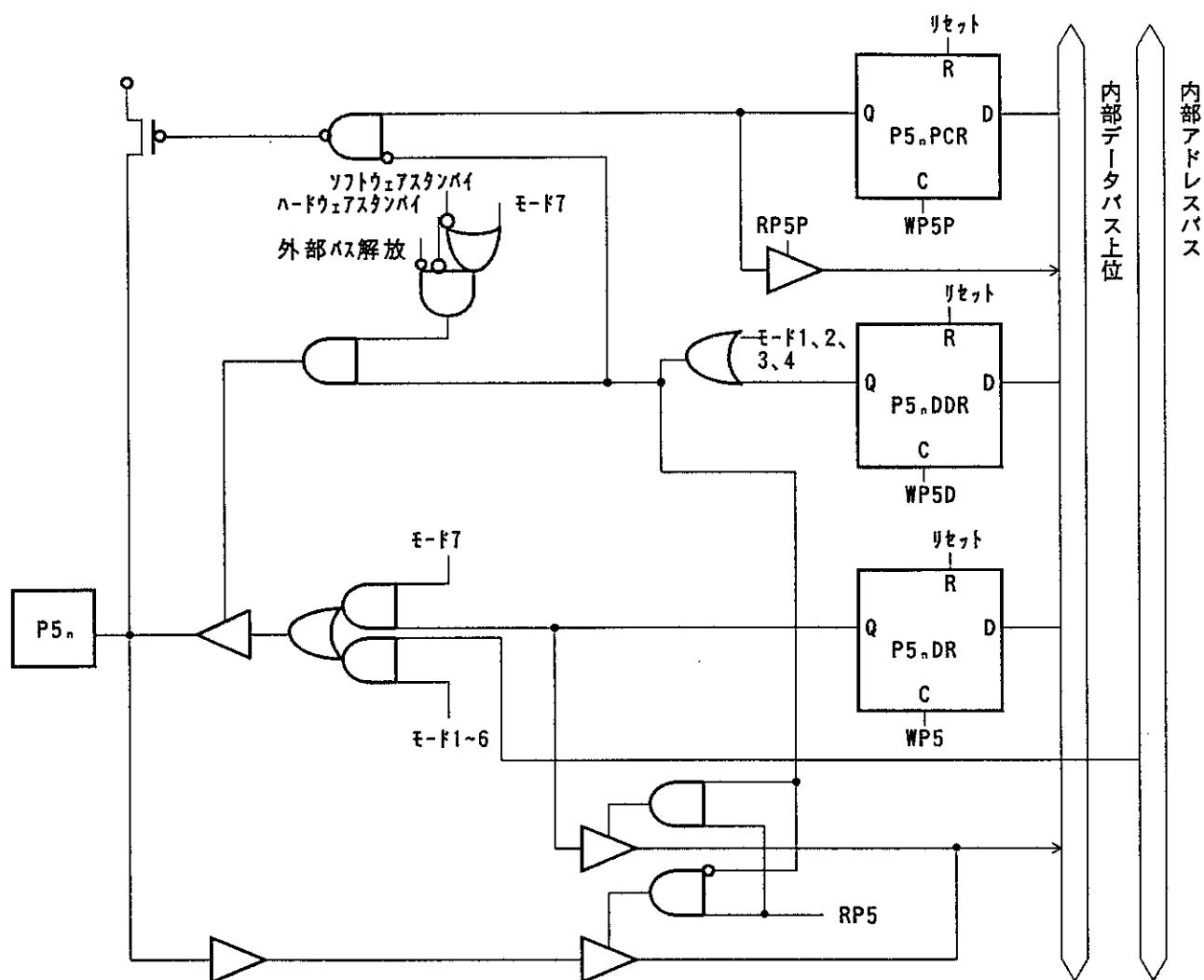


### 《記号説明》

$WP4P$  : PCRライト  
 $RP4P$  : PCRリード  
 $WP4D$  : DDRライト  
 $WP4$  : ポートライト  
 $RP4$  : ポートリード  
 $n = 0 \sim 7$

図C.4 ポート4ブロック図

### C.5 ポート5ブロック図



### 《記号說明》

WP5P:PCRライト

RP 5 P : PCR リード

WP5D:DDRライト

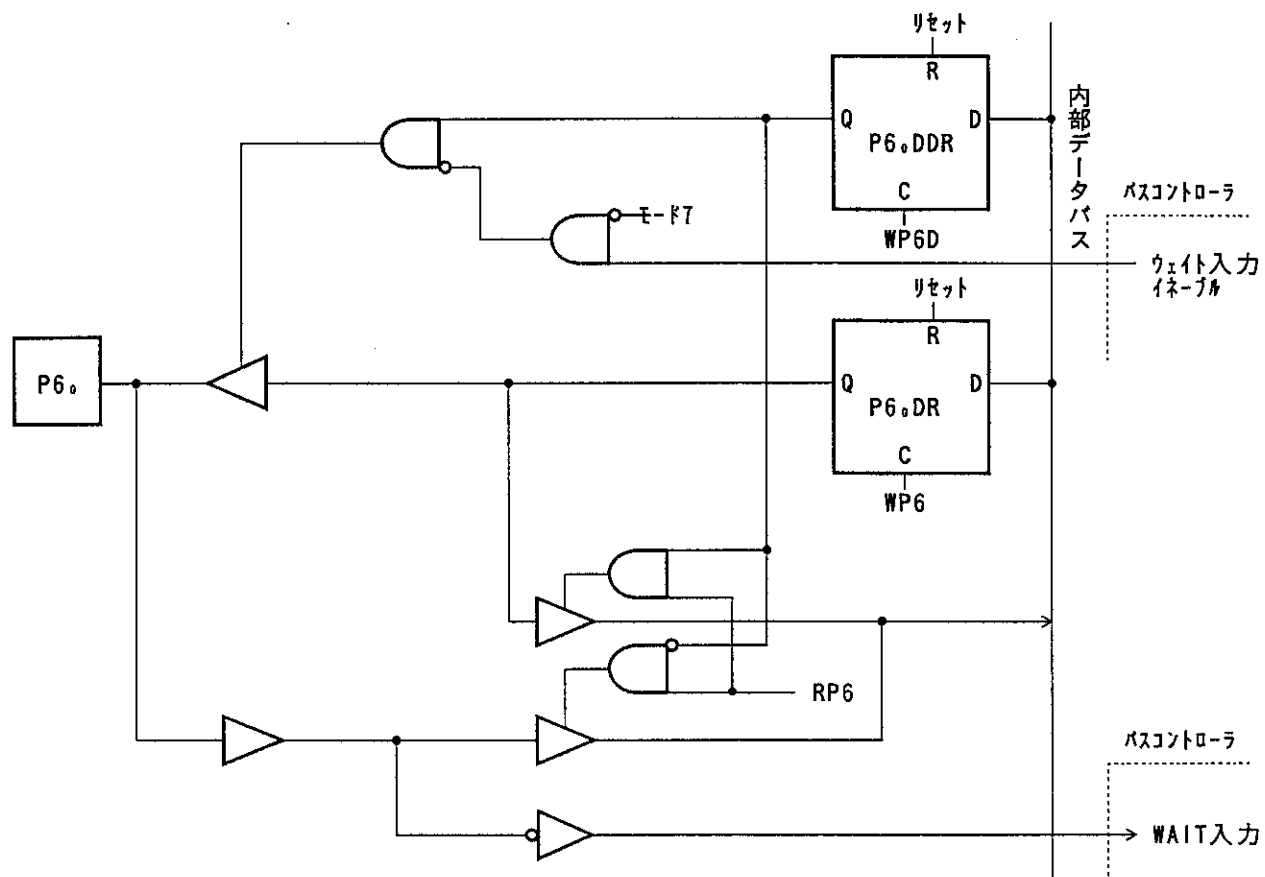
WP 5 : ポートライト

RP5 : ポートリード

$$n = 0 \sim 3$$

図 C.5 ポート 5 ブロック図

## C.6 ポート6ブロック図



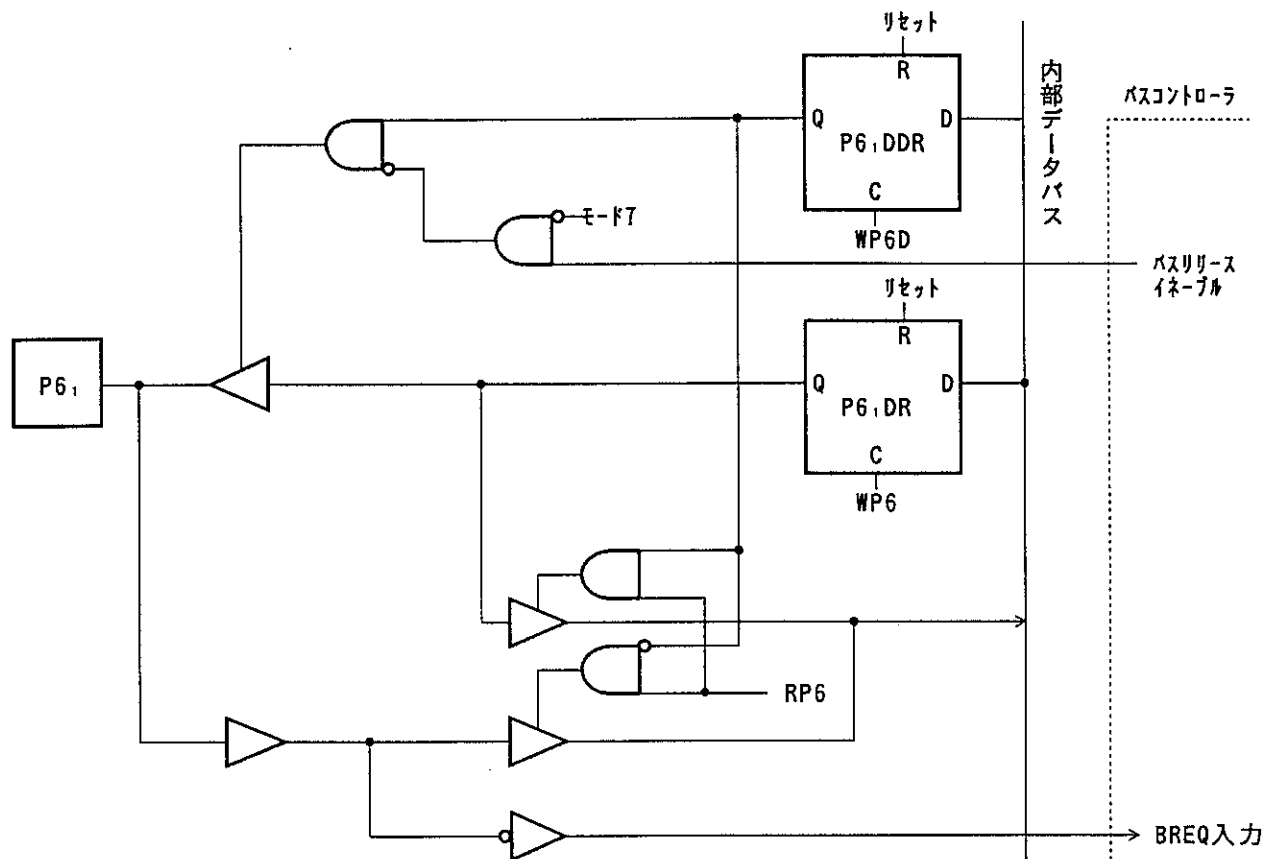
### 《記号説明》

WP6D : DDRライト

WP6 : ポートライト

RP6 : ポートリード

図C.6 (a) ポート6ブロック図 (P6,端子)



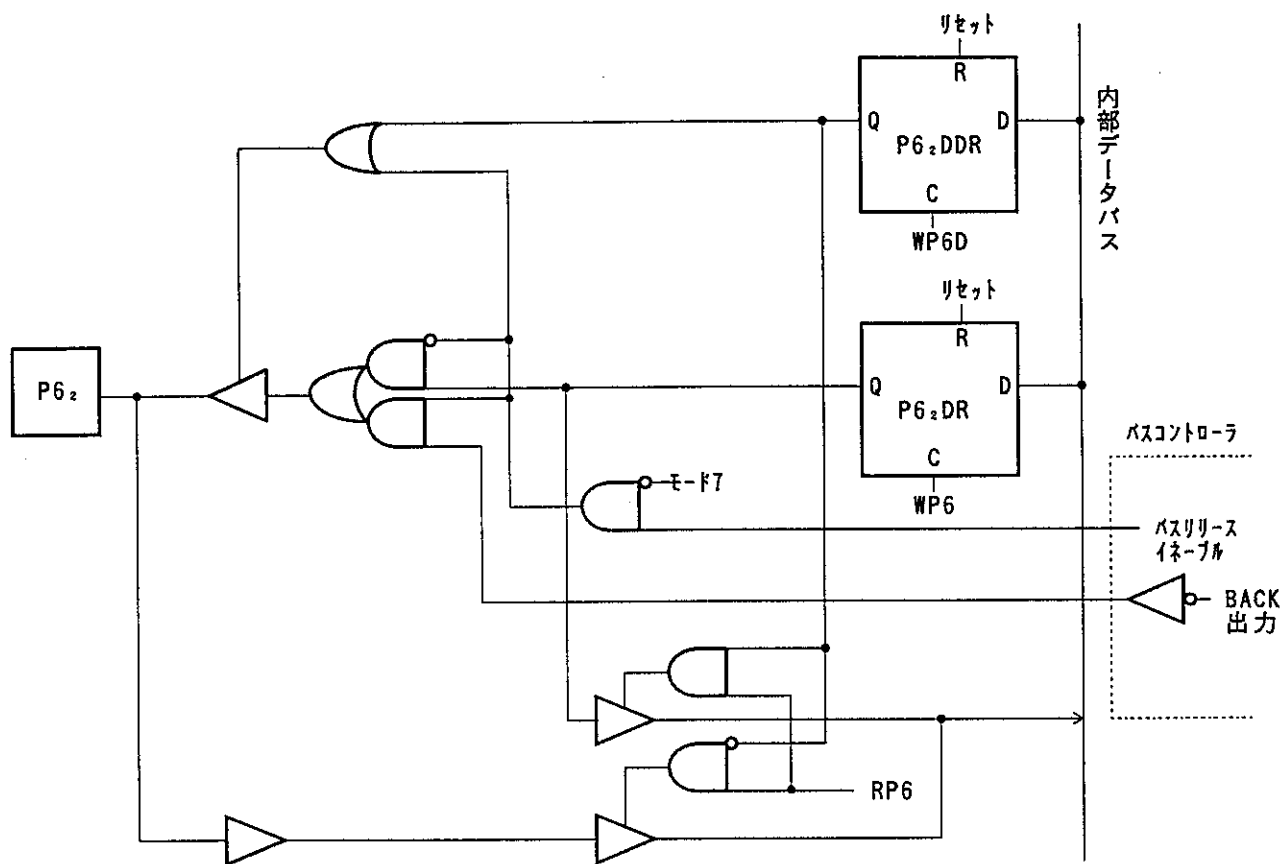
《記号説明》

WP6D : DDRライト

WP6 : ポートライト

RP6 : ポートリード

図 C.6 (b) ポート 6 ブロック図 (P6<sub>i</sub>端子)



《記号説明》

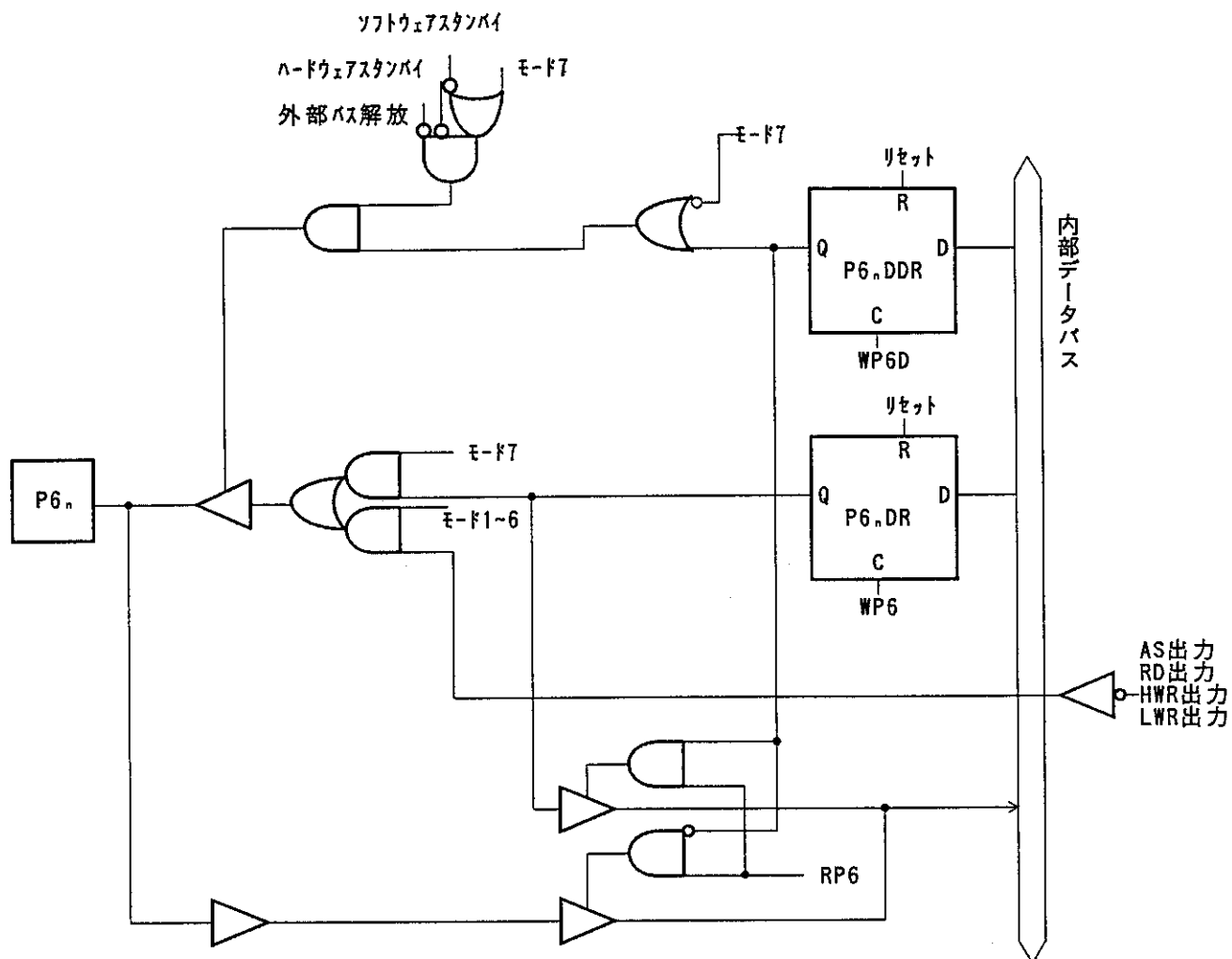
WP6D : DDRライト

WP6 : ポートライト

RP6 : ポートリード

図 C.6 (c) ポート 6 ブロック図 (P6<sub>2</sub>端子)





《記号説明》

WP6D : DDRライト

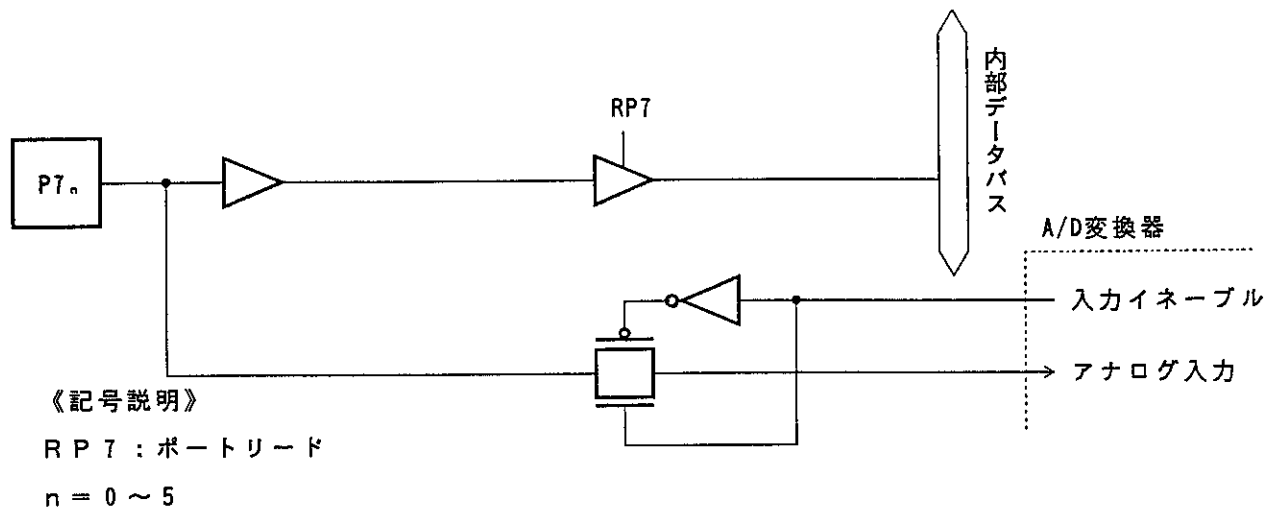
WP6 : ポートライト

RP6 : ポートリード

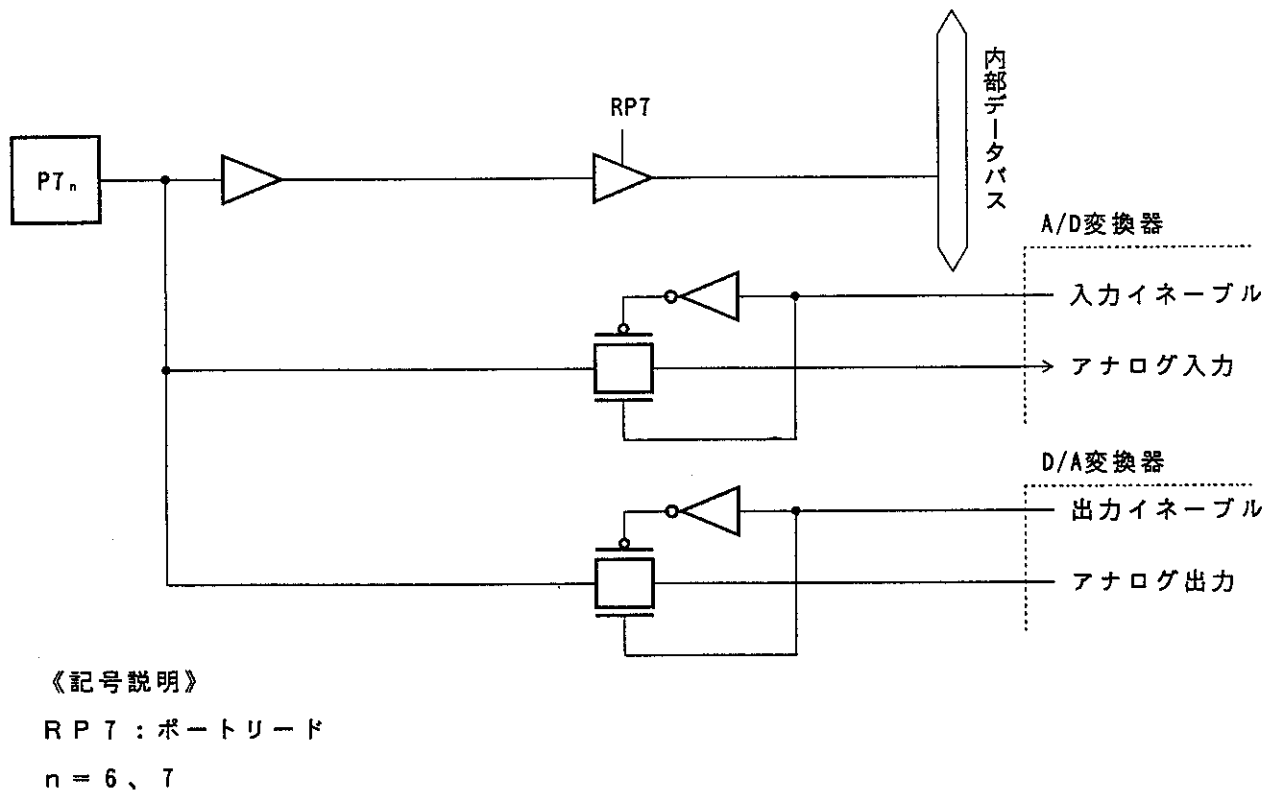
n = 6 ~ 3

図 C.6 (d) ポート 6 ブロック図 (P6<sub>6</sub> ~ P6<sub>3</sub> 端子)

## C.7 ポート7ブロック図



C.7 (a) ポート7ブロック図 (P7<sub>0</sub>~P7<sub>5</sub>端子)



C.7 (b) ポート7ブロック図 (P7<sub>6</sub>~P7<sub>7</sub>端子)

## C.8 ポート8ブロック図

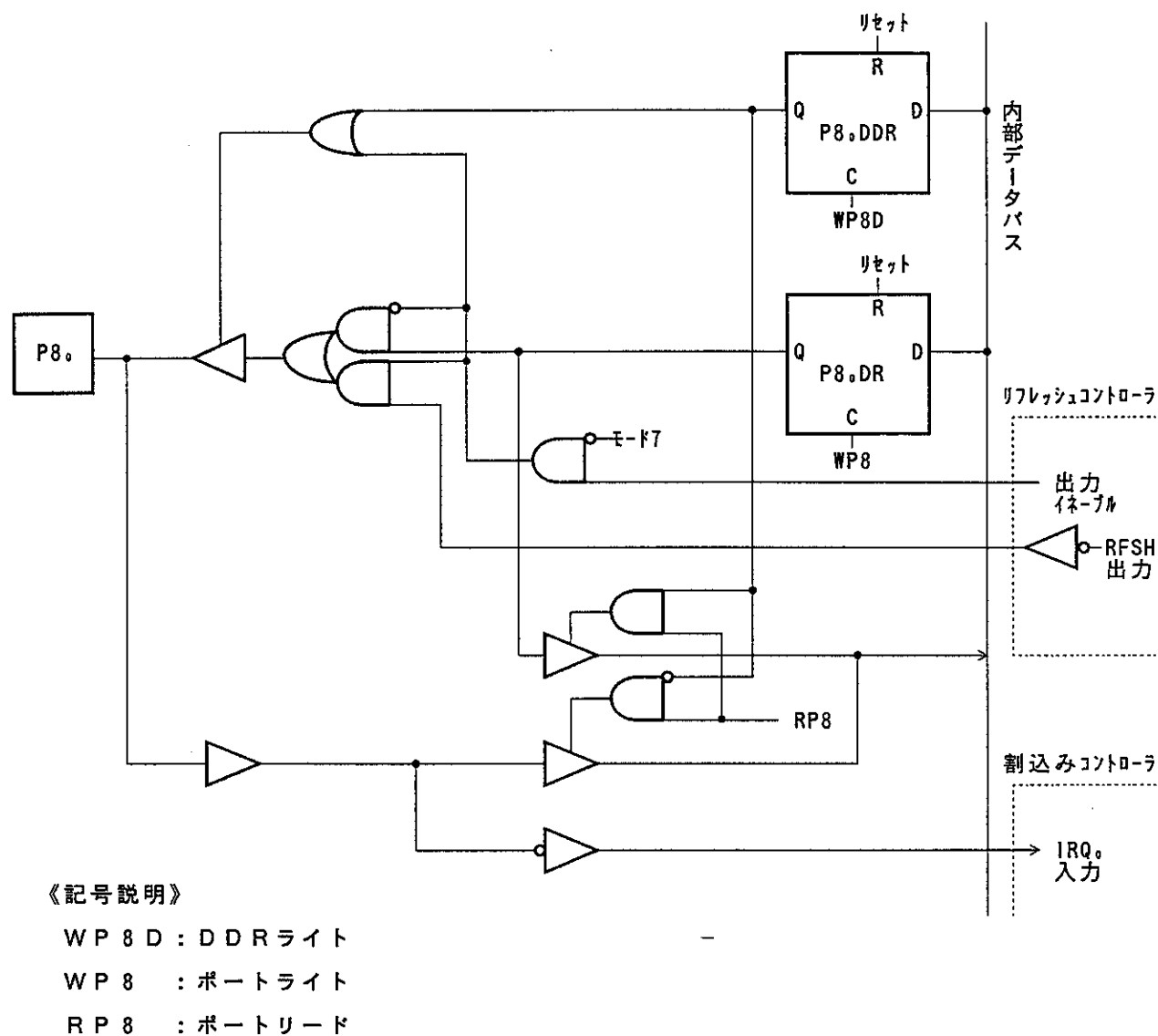
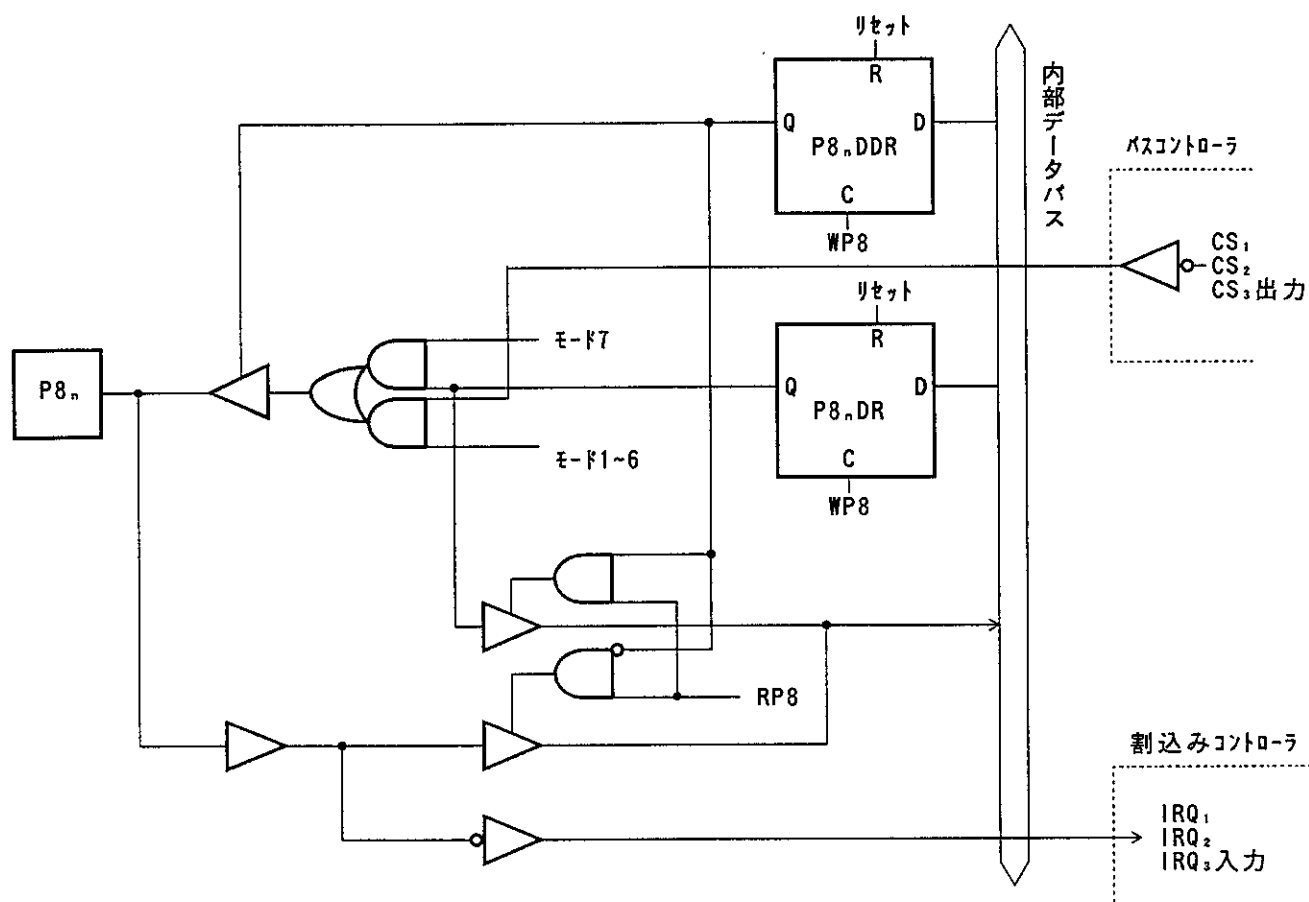


図 C.8 (a) ポート8ブロック図 (P8.0端子)



《記号説明》

WP8D : DDRライト

WP8 : ポートライト

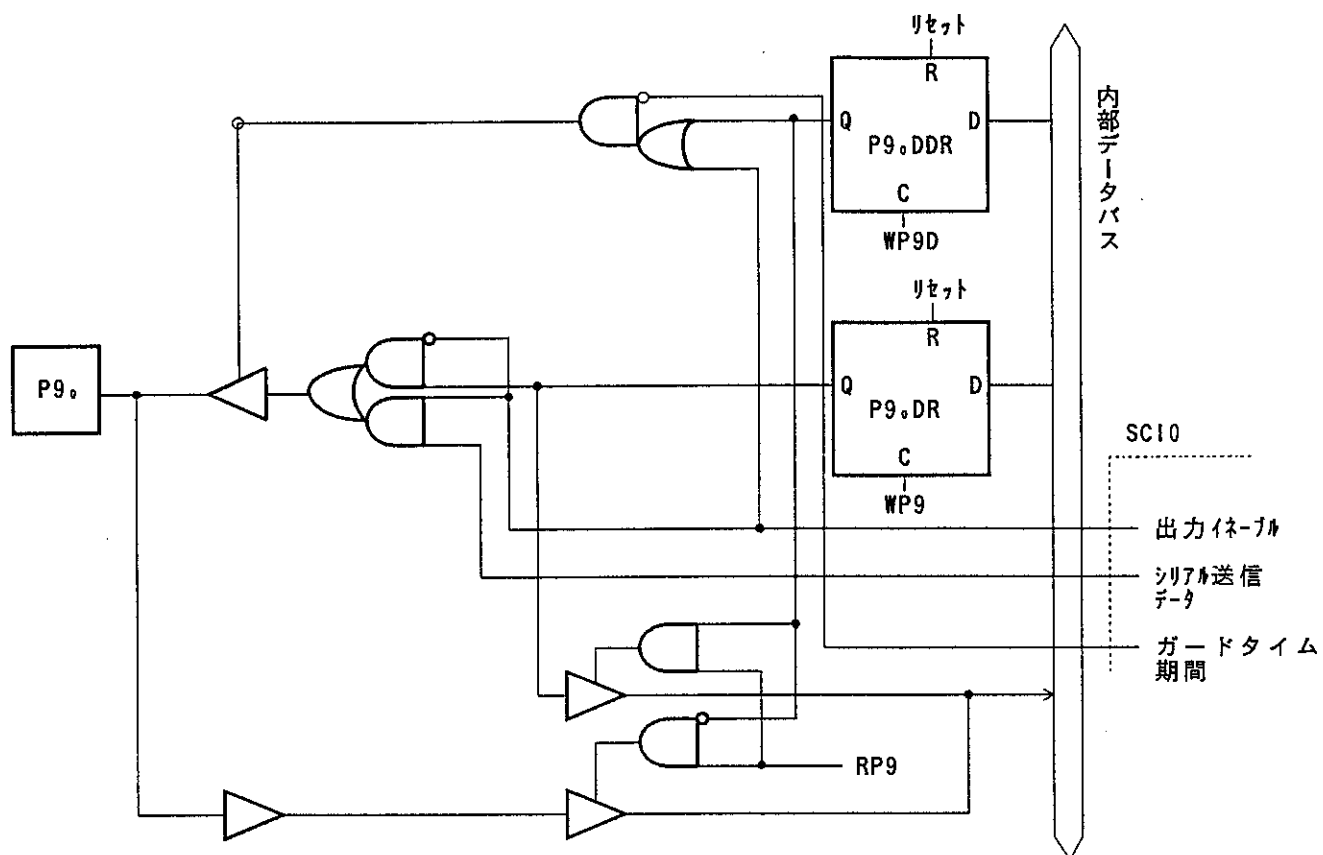
RP8 : ポートリード

$n = 1 \sim 3$

図C.8 (b) ポート8 ブロック図 ( $P8_1$ 、 $P8_2$ 、 $P8_3$ 端子)



## C.9 ポート9ブロック図



### 《記号説明》

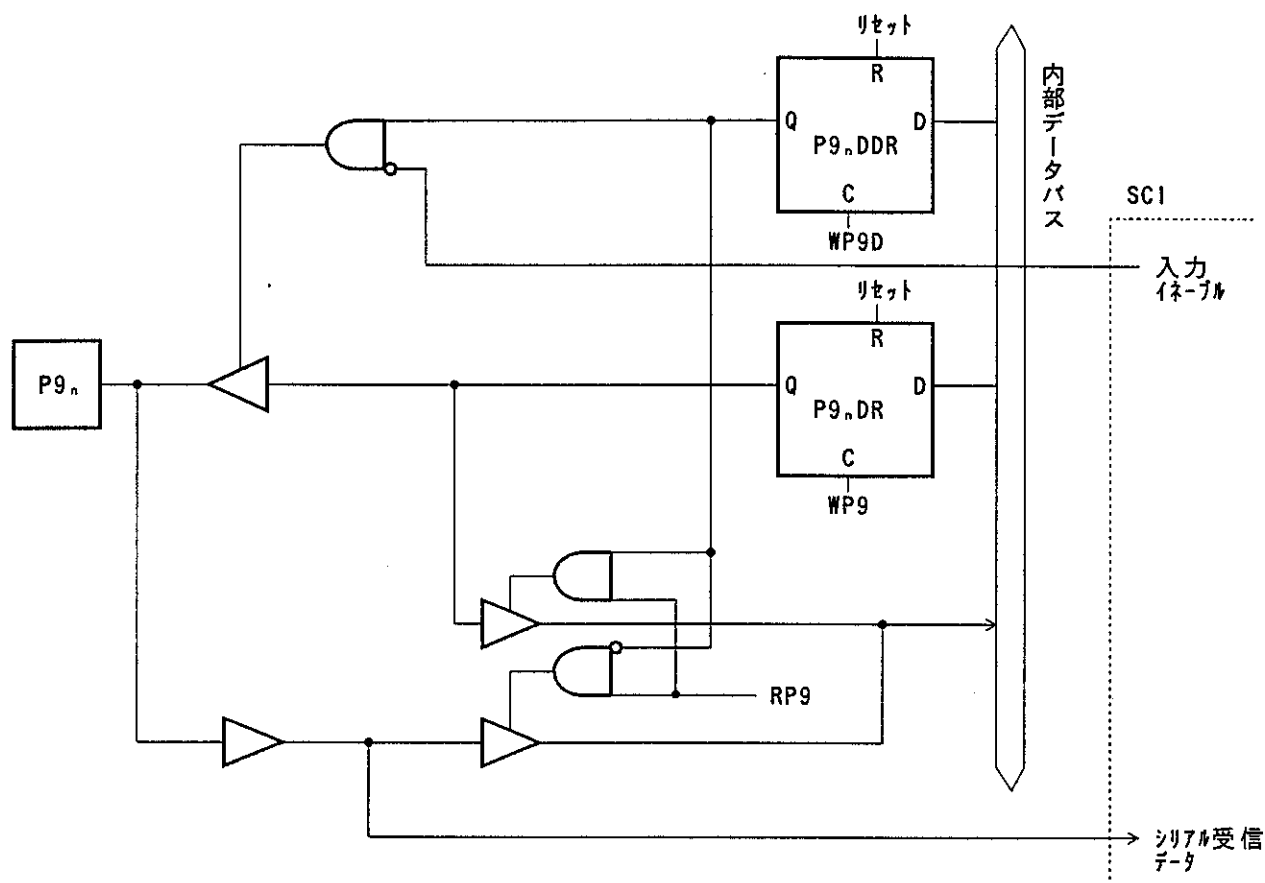
WP9D : DDRライト

WP9 : ポートライト

RP9 : ポートリード

図 C.9 (a) ポート9ブロック図 (P9端子)





《記号説明》

WP9D : DDRライト

WP9 : ポートライト

RP9 : ポートリード

$n = 2, 3$

図 C.9 (c) ポート 9 ブロック図 ( $P9_2$ 、 $P9_3$ 端子)



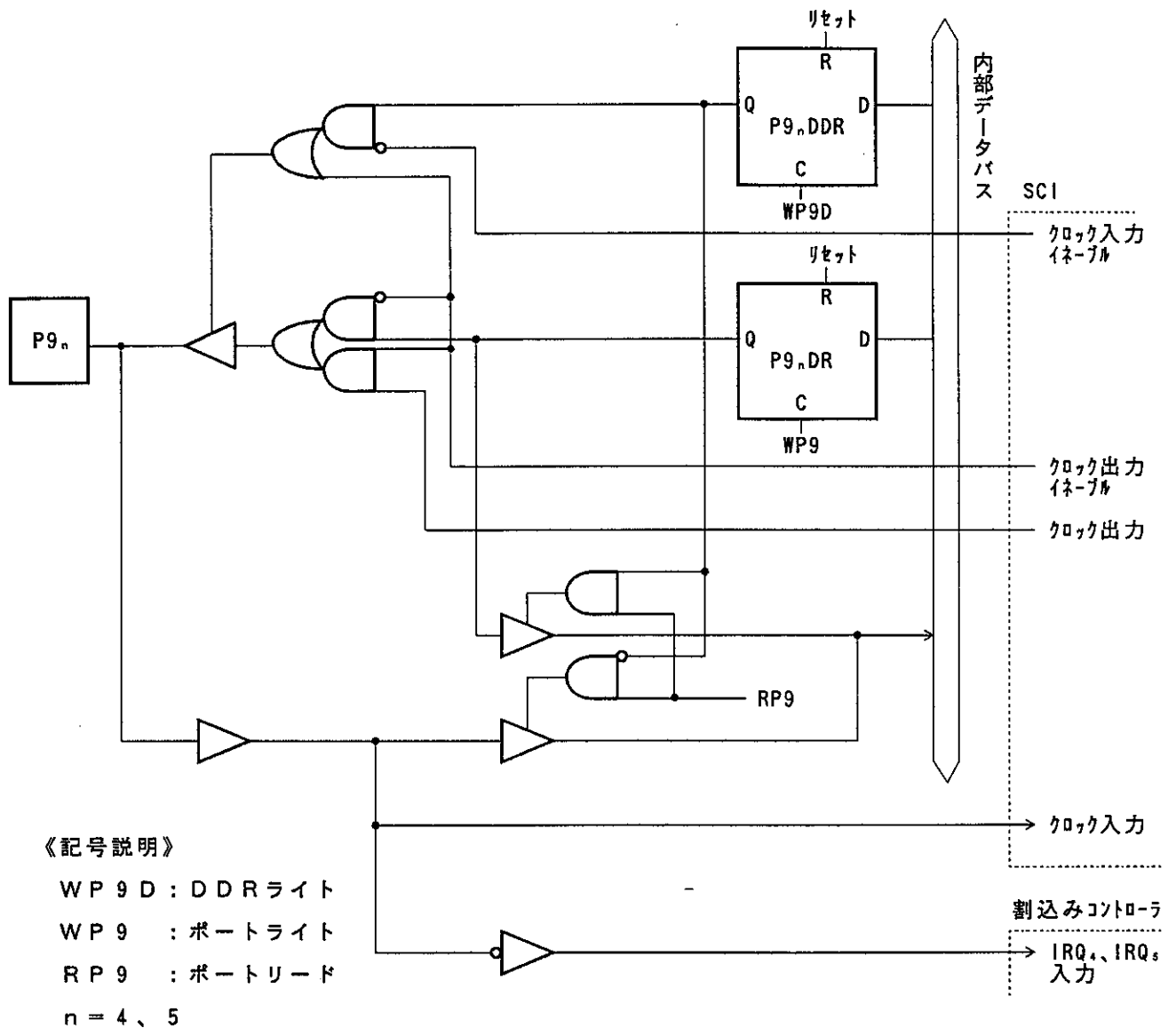
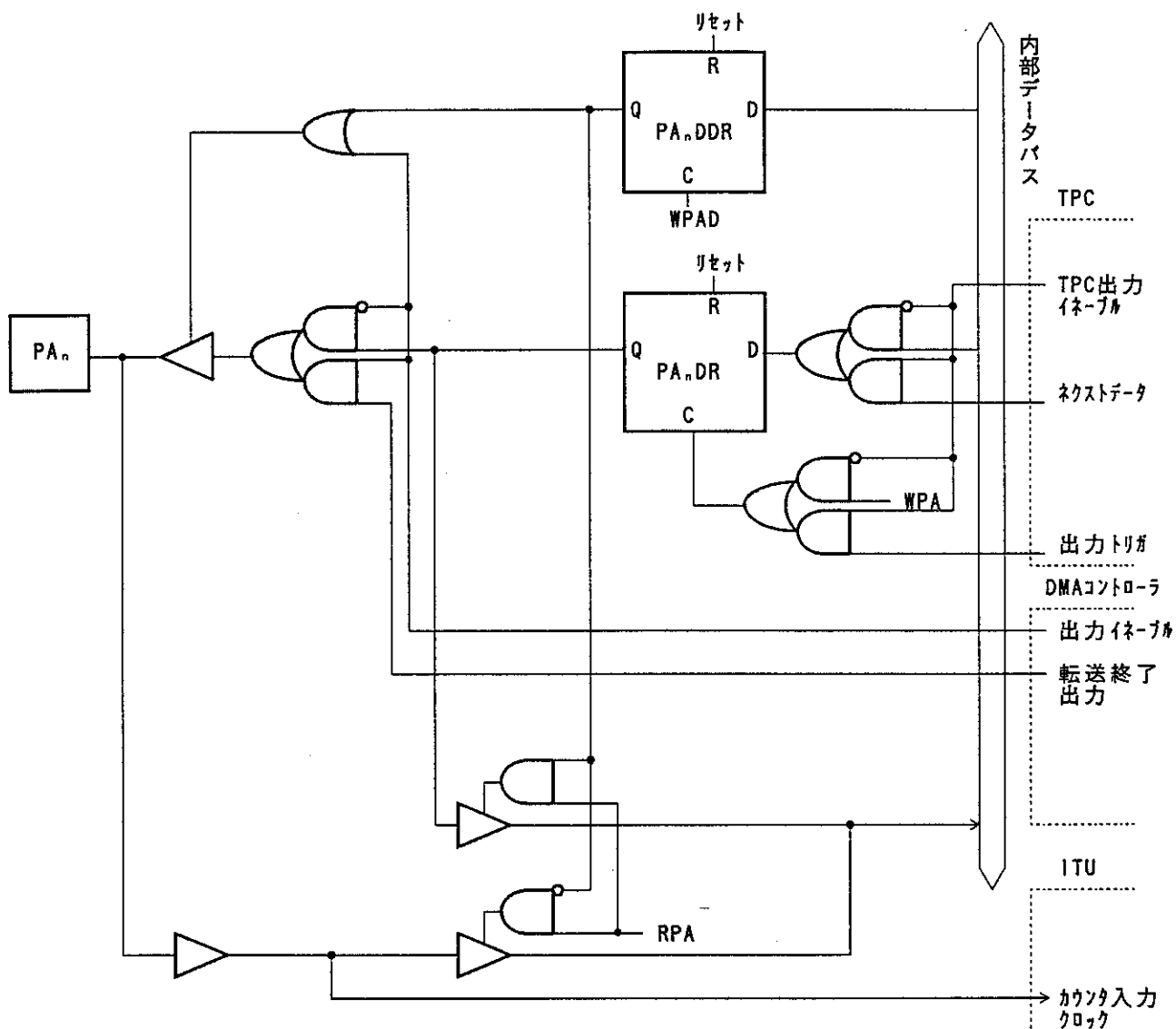


図 C.9 (d) ポート 9 ブロック図 ( $P9_4$ 、 $P9_5$  端子)

# C.10 ポートAブロック図



## 《記号説明》

WPAD : DDRライト  
WPA : ポートライト  
RPA : ポートリード  
 $n = 0, 1$

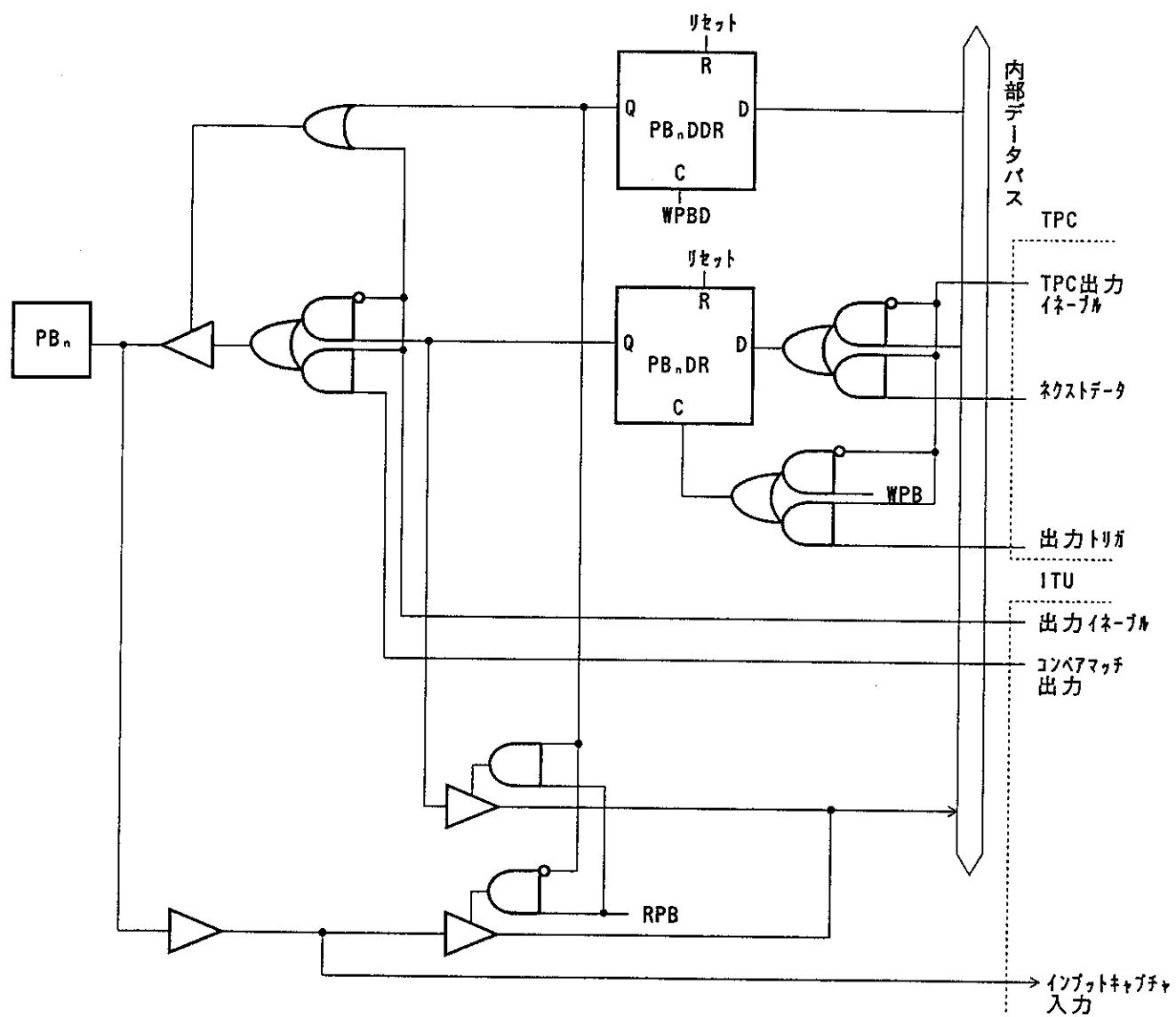
図 C.10 (a) ポートAブロック図 ( $PA_0$ 、 $PA_1$ 端子)







### C.11 ポート B ブロック図



### 《記号說明》

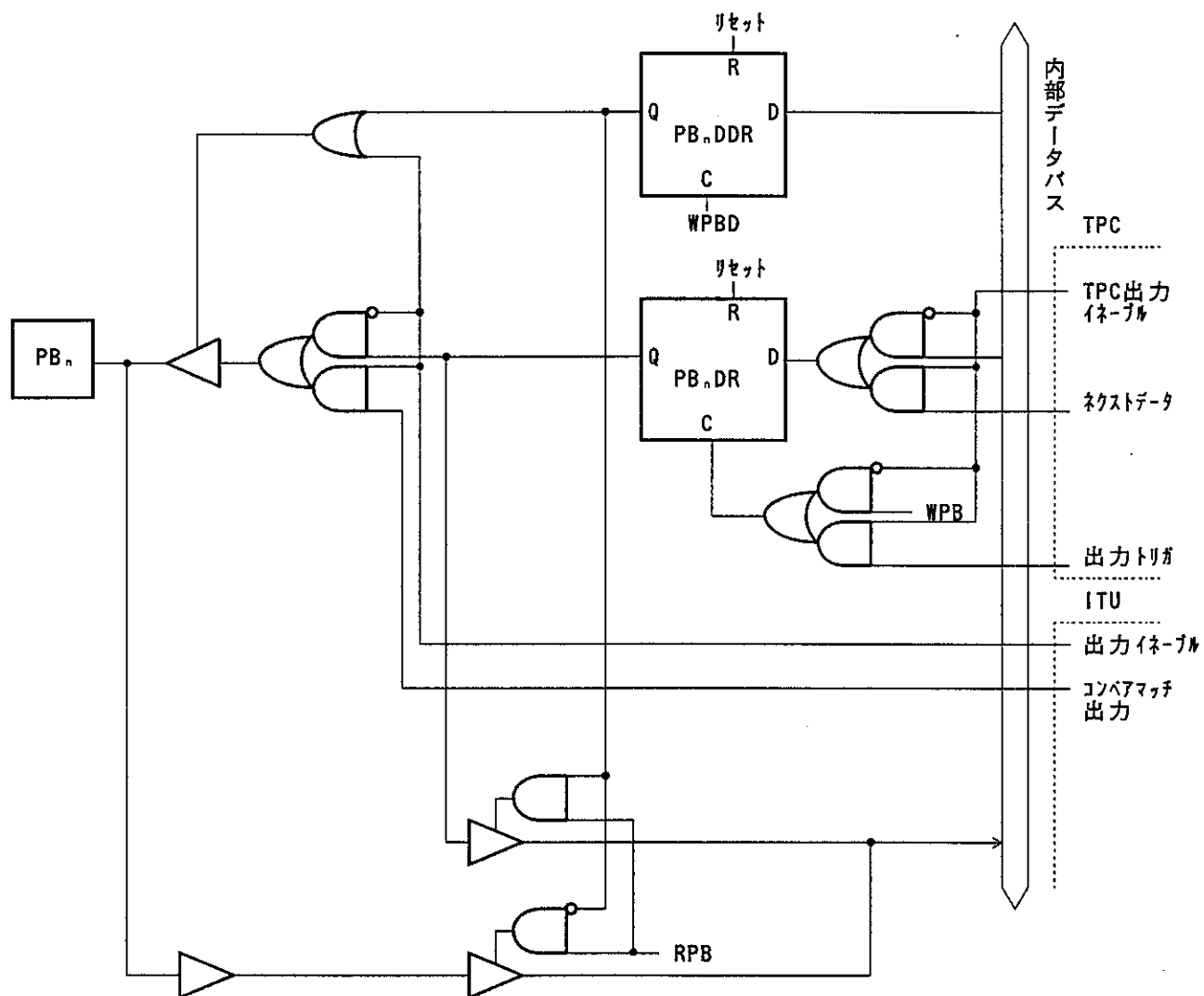
WPBD:DDRライト

WPB : ポートライト

R P B : ポートリード

$$n = 0 \sim 3$$

図 C.11 (a) ポート B ブロック図 (PB<sub>0</sub>~PB<sub>3</sub>端子)



《記号説明》

WPBD : DDRライト

WPB : ポートライト

RPB : ポートリード

n = 4、5

図 C.11 (b) ポート B ブロック図 (PB<sub>4</sub>、PB<sub>5</sub> 端子)







## D. 端子状態

### D.1 各処理状態におけるポートの状態

表D.1 各ポートの状態一覧(1)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
$\phi$	——	クロック出力	T	H	クロック出力	クロック出力
$\overline{\text{RES0}}$	——	T*2	T	T	T	$\overline{\text{RES0}}$
P1 <sub>7</sub> ~P1 <sub>0</sub>	1~4	L	T	T	T	A <sub>7</sub> ~A <sub>0</sub>
	5、6	T	T	keep	T	[DDR=0] 入力ポート
				T	T	[DDR=1] A <sub>7</sub> ~A <sub>0</sub>
	7	T	T	keep	——	入出力ポート
P2 <sub>7</sub> ~P2 <sub>0</sub>	1~4	L	T	T	T	A <sub>15</sub> ~A <sub>8</sub>
	5、6	T	T	keep	T	[DDR=0] 入力ポート
				T	T	[DDR=1] A <sub>15</sub> ~A <sub>8</sub>
	7	T	T	keep	——	入出力ポート
P3 <sub>7</sub> ~P3 <sub>0</sub>	1~6	T	T	T	T	D <sub>15</sub> ~D <sub>8</sub>
	7	T	T	keep	——	入出力ポート
P4 <sub>7</sub> ~P4 <sub>0</sub>	1 8ビットバス	T	T	keep	keep	入出力ポート
	6 16ビットバス	T	T	T	T	D <sub>7</sub> ~D <sub>0</sub>
	7	T	T	keep	——	入出力ポート
P5 <sub>8</sub> ~P5 <sub>0</sub>	1~4	L	T	T	T	A <sub>19</sub> ~A <sub>16</sub>
	5、6	T	T	keep	T	[DDR=0] 入力ポート
				T	T	[DDR=1] A <sub>19</sub> ~A <sub>16</sub>
	7	T	T	keep	——	入出力ポート
P6 <sub>0</sub>	1~6	T	T	keep	keep	入出力ポート $\overline{\text{WAIT}}$
	7	T	T	keep	——	入出力ポート
P6 <sub>1</sub>	1~6	T	T	[BRLE=0] keep [BRLE=1] T	T	入出力ポート $\overline{\text{BREQ}}$
	7	T	T	keep	——	入出力ポート

表D.1 各ポートの状態一覧(2)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
P6 <sub>2</sub>	1 ~ 6	T	T	[BRLE=0] keep [BRLE=1] H	L	[BRLE=0] 入出力ポート [BRLE=1] $\overline{\text{BACK}}$
	7	T	T	keep	—	入出力ポート
P6 <sub>3</sub> ~ P6 <sub>5</sub>	1 ~ 6	H <sup>*3</sup>	T	T	T	$\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$
	7	T	T	keep	—	入出力ポート
P7 <sub>7</sub> ~ P7 <sub>0</sub>	1 ~ 7	T	T	T	T <sup>*1</sup>	入力ポート
P8 <sub>0</sub>	1 ~ 6	T	T	[RFSHE=0] keep [RFSHE=1] $\overline{\text{RFSH}}$	[RFSHE=0] keep [RFSHE=1] H	[RFSHE=0] 入出力ポート [RFSHE=1] $\overline{\text{RFSH}}$
	7	T	T	keep	—	入出力ポート
P8 <sub>3</sub> ~ P8 <sub>1</sub>	1 ~ 6	T	T	[DDR=0] T [DDR=1] H	[DDR=0] keep [DDR=1] H	[DDR=0] 入力ポート [DDR=1] $\overline{\text{CS}}_3 \sim \overline{\text{CS}}_1$
	7	T	T	keep	—	入出力ポート
P8 <sub>4</sub>	1 ~ 6	L	T	[DDR=0] T [DDR=1] L	[DDR=0] keep [DDR=1] H	[DDR=0] 入力ポート [DDR=1] $\overline{\text{CS}}_0$
	7	T	T	keep	—	入出力ポート
P9 <sub>6</sub> ~ P9 <sub>0</sub>	1 ~ 7	T	T	keep	keep <sup>*1</sup>	入出力ポート
PA <sub>3</sub> ~ PA <sub>0</sub>	1 ~ 7	T	T	keep	keep <sup>*1</sup>	入出力ポート
PA <sub>6</sub> ~ PA <sub>4</sub>	3、4、6	T <sup>*4</sup>	T	[CS出力時] H [7アドレス出力時] T [上記以外] keep	[CS出力時] H [7アドレス出力時] T [上記以外] keep	[CS出力時] $\overline{\text{CS}}_6 \sim \overline{\text{CS}}_4$ [7アドレス出力時] A23 ~ A21 [上記以外] 入出力ポート
	1、2、5、7	T <sup>*4</sup>	T	keep	keep <sup>*1</sup>	入出力ポート

表D.1 各ポートの状態一覧(3)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
PA <sub>7</sub>	3、4、6	L <sup>*1</sup>	T	T	T	A <sub>20</sub>
	1、2、5、7	T <sup>*1</sup>	T	keep	keep <sup>*1</sup>	入出力ポート
PB <sub>7</sub> 、PB <sub>5</sub> ～PB <sub>0</sub>	1～7	T	T	keep	keep <sup>*1</sup>	入出力ポート
PB <sub>6</sub>	3、4、6	T	T	[CS出力時] H [上記以外] keep	[CS出力時] H [上記以外] keep	[CS出力時] CS7 [上記以外] 入出力ポート
	1、2、5、7	T	T	keep	keep <sup>*1</sup>	入出力ポート

《記号説明》 H : “High” レベル

L : “Low” レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

【注】<sup>\*1</sup> モード7ではバス解放状態は存在しません。

<sup>\*2</sup> WDTのオーバフローによるリセット時にのみ“Low”レベルを出力します。

<sup>\*3</sup> 電源投入時は、発振安定時間までは、“H”または“T”となります。

<sup>\*4</sup> 電源投入時は、発振安定時間までは、“H”、“L”、“T”のいずれかになります。

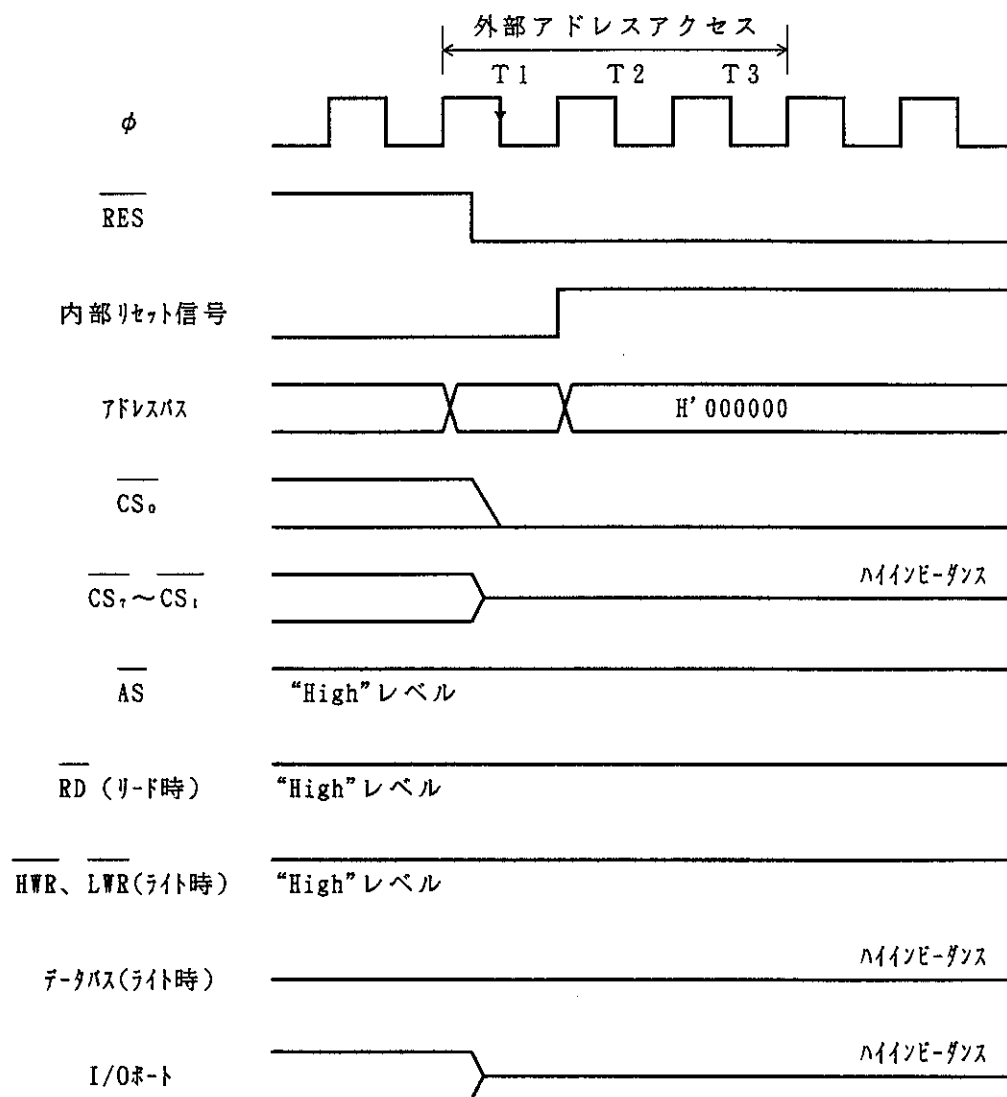
## D.2 リセット時の端子状態

### (1) T1ステートでのリセット

外部メモリアクセス中のT1ステートで、RES端子が“Low”レベルになったときのタイミングを図D.1に示します。

RES端子が“Low”レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが“High”レベル、データバスはハイインピーダンスになります。

アドレスバスはRES端子が“Low”レベルをサンプリング（φの立下がりでサンプリング）してから、0.5ステート後にイニシャライズされアドレスバスは“Low”レベル出力となります。



図D.1 メモリアクセス中のリセット（T1ステートでのリセット）

## (2) T 2 ステートでのリセット

外部メモリアクセス中の T 2 ステートで、RES 端子が “Low” レベルになったときのタイミングを図 D.2 に示します。

RES 端子が “Low” レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWR が “High” レベル、データバスはハイインピーダンスになります。

アドレスバスは RES 端子が “Low” レベルをサンプリングしてから、0.5 ステート後にイニシャライズされアドレスバスは “Low” レベルとなります。

T<sub>w</sub> サイクルでのリセットについても同様です。

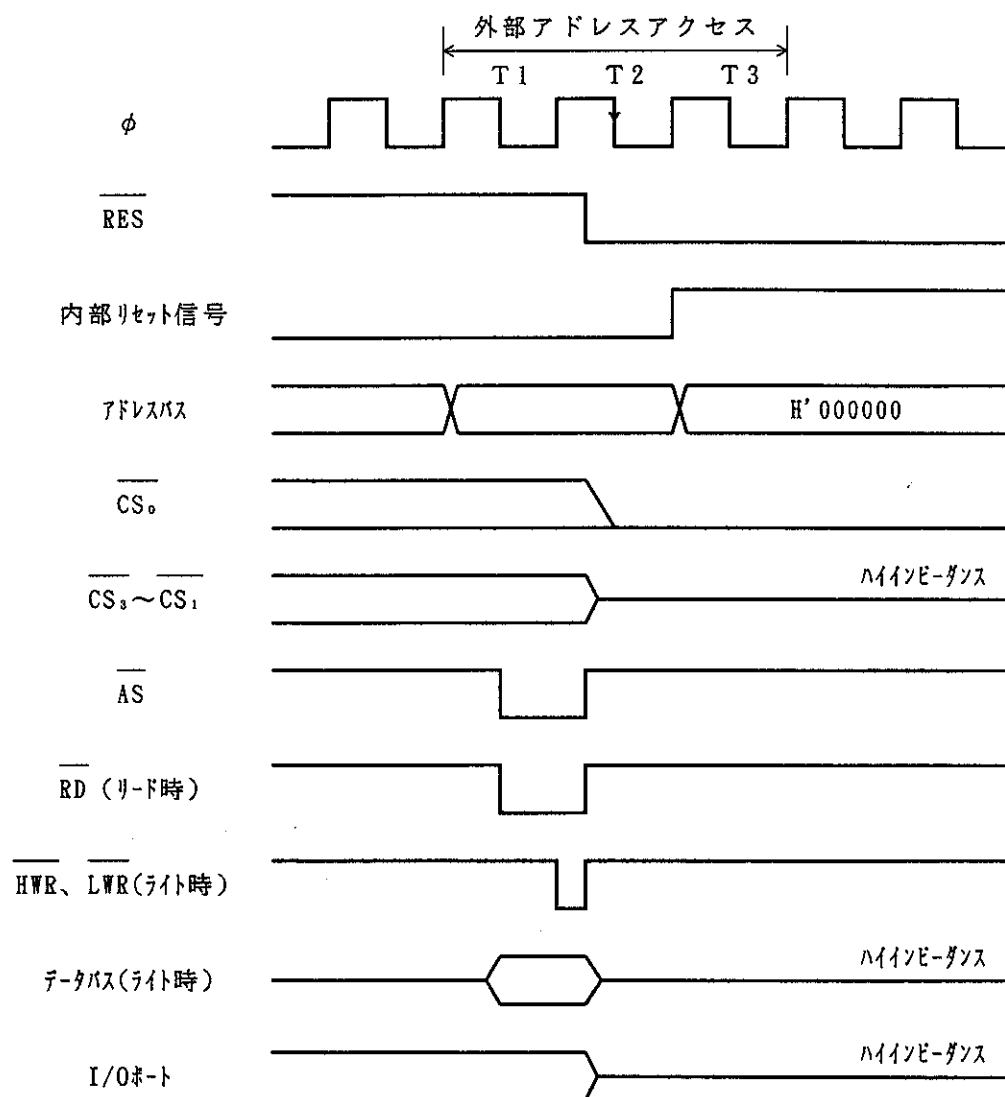


図 D.2 メモリアクセス中のリセット (T 2 ステートでのリセット)

(3) T 3 ステートでのリセット

外部 3 ステート空間アクセス中の T 3 ステートで、RES 端子が “Low” レベルになったときのタイミングを図 D.3 に示します。

RES 端子が “Low” レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWR が “High” レベル、データバスはハイインピーダンスになります。

アドレスバスは T 3 ステート中保持されます。

2 ステートアクセス空間の T 2 ステートでのリセットについても同様です。

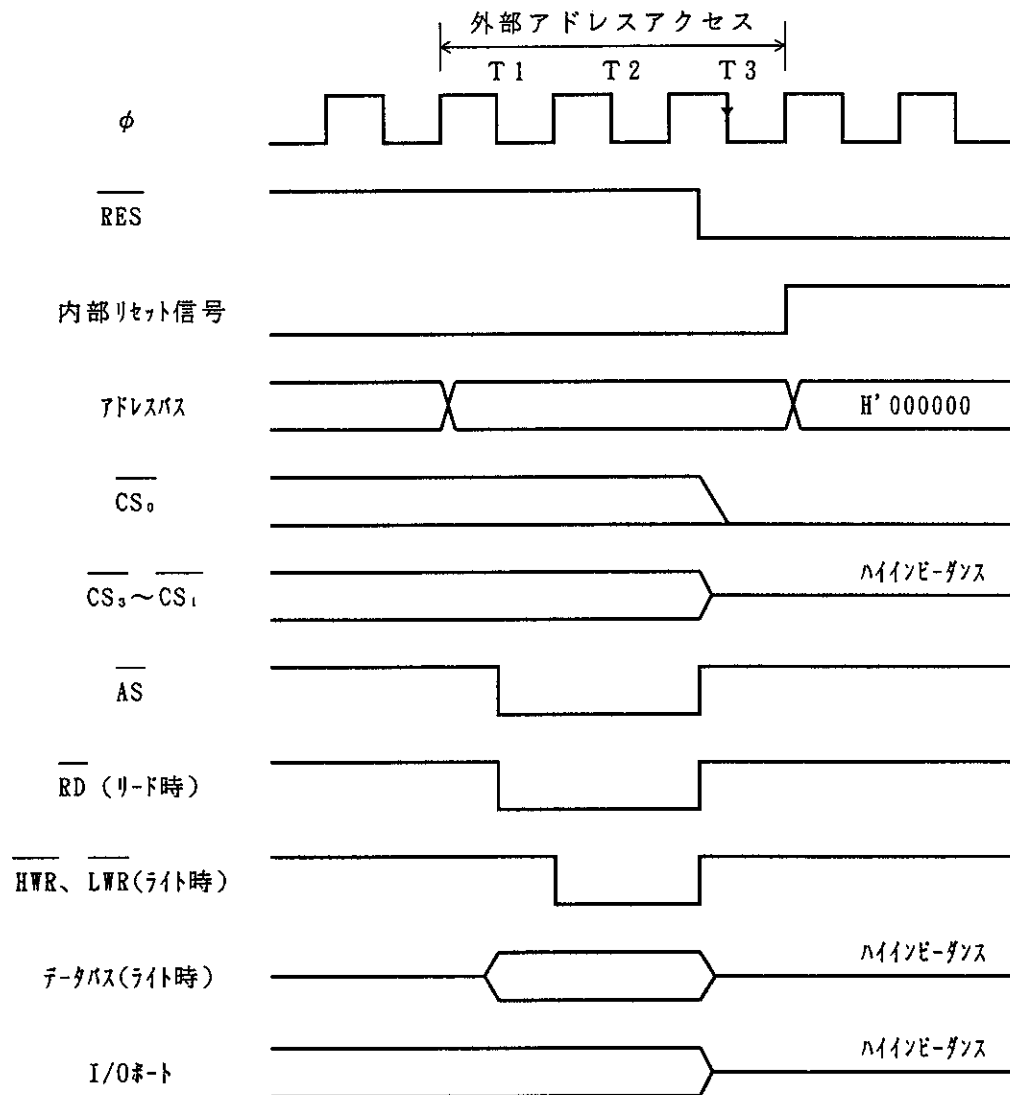


図 D.3 メモリアクセス中のリセット (T 3 ステートでのリセット)

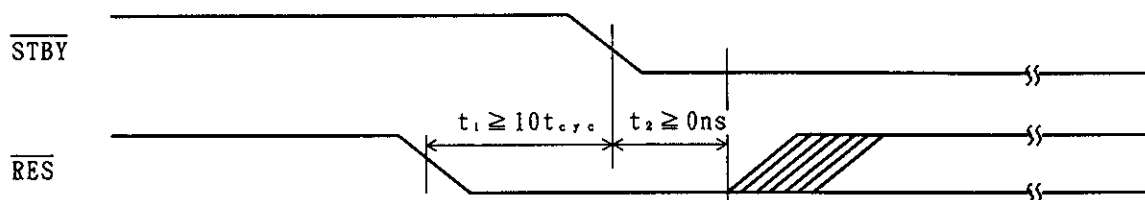
## E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

### 【ハードウェアスタンバイモードの遷移タイミング】

#### (1) SYSCRのRAMEビットを“1”にセットした状態でRAMの内容を保持する場合

下記に示すようにSTBY信号の立下がりに対し、10システムクロック前にRES信号を“Low”としてください。

また、RES信号の立下がりとは、STBY信号の立下がりに対し、min 0nsです。

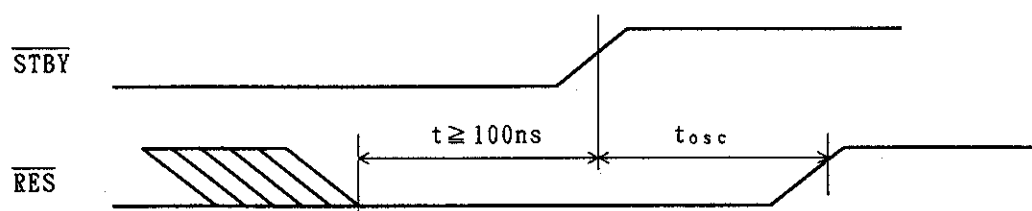


#### (2) SYSCRのRAMEビットを“0”にクリアした状態またはRAMの内容を保持しない場合

(1)のようにRES信号を“Low”にする必要はありません。

### 【ハードウェアスタンバイモードからの復帰タイミング】

STBY信号の立上がりに対し、約100ns前にRES信号を“Low”としてください。





## F. ROM 発注手順

### F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

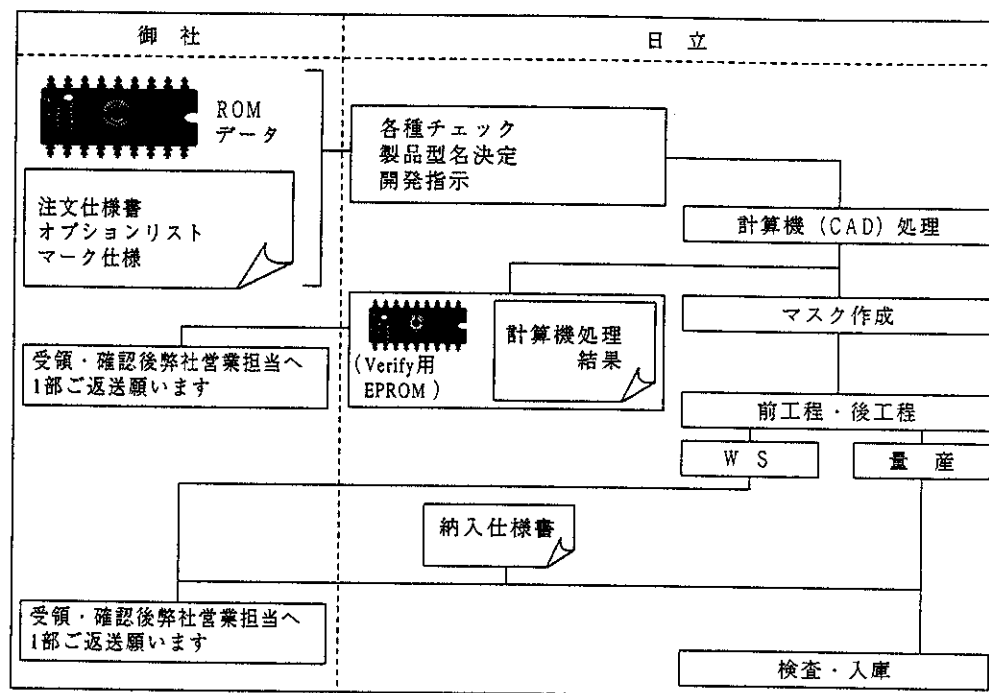


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT <sup>®</sup> マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* <sup>1</sup>
	マーク仕様例* <sup>2</sup>

【注】 \*1 製品シリーズにより必要ないものがあります。また、内容も異なります。

\*2 特別仕様の場合には、提出してください。

## F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM または ZTAT® マイコンで提出してください。なお、EPROM または ZTAT® マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOTUSED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

# G. 型名一覧

表 G.1 H 8 / 3 0 4 8 シリーズ型名一覧

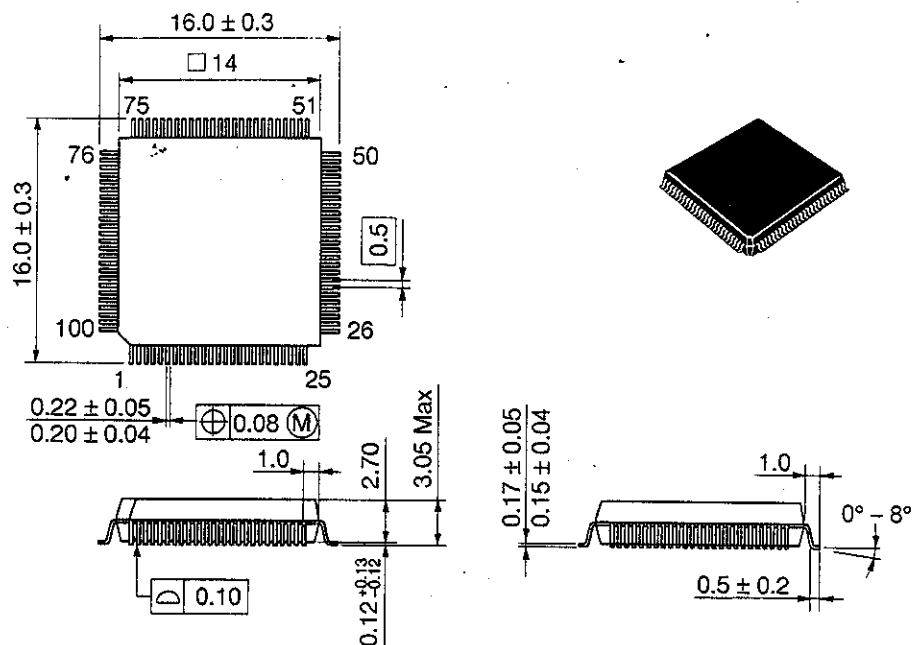
製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)
H 8 / 3 0 4 8	フラッシュ メモリ版	5 V 版	H D 64F3048 T F	H D 64F3048 T F	100ピン T Q F P (TFP-100B)
			H D 64F3048 F	H D 64F3048 F	100ピン Q F P (FP-100B)
		3 V 版	H D 64F3048 V T F	H D 64F3048 V T F	100ピン T Q F P (TFP-100B)
			H D 64F3048 V F	H D 64F3048 V F	100ピン Q F P (FP-100B)
	P R O M 版 (Z T A T)	5 V 版	H D 6473048 T F	H D 6473048 T F	100ピン T Q F P (TFP-100B)
			H D 6473048 F	H D 6473048 F	100ピン Q F P (FP-100B)
		3 V 版	H D 6473048 V T F	H D 6473048 V T F	100ピン T Q F P (TFP-100B)
			H D 6473048 V F	H D 6473048 V F	100ピン Q F P (FP-100B)
	マスク R O M 版	5 V 版	H D 6433048 T F	H D 6433048 (***) T F	100ピン T Q F P (TFP-100B)
			H D 6433048 F	H D 6433048 (***) F	100ピン Q F P (FP-100B)
		3 V 版	H D 6433048 V T F	H D 6433048 (***) V T F	100ピン T Q F P (TFP-100B)
			H D 6433048 V F	H D 6433048 (***) V F	100ピン Q F P (FP-100B)
H 8 / 3 0 4 7	マスク R O M 版	5 V 版	H D 6433047 T F	H D 6433047 (***) T F	100ピン T Q F P (TFP-100B)
			H D 6433047 F	H D 6433047 (***) F	100ピン Q F P (FP-100B)
		3 V 版	H D 6433047 V T F	H D 6433047 (***) V T F	100ピン T Q F P (TFP-100B)
			H D 6433047 V F	H D 6433047 (***) V F	100ピン Q F P (FP-100B)
H 8 / 3 0 4 5	マスク R O M 版	5 V 版	H D 6433045 T F	H D 6433045 (***) T F	100ピン T Q F P (TFP-100B)
			H D 6433045 F	H D 6433045 (***) F	100ピン Q F P (FP-100B)
		3 V 版	H D 6433045 V T F	H D 6433045 (***) V T F	100ピン T Q F P (TFP-100B)
			H D 6433045 V F	H D 6433045 (***) V F	100ピン Q F P (FP-100B)
H 8 / 3 0 4 4	マスク R O M 版	5 V 版	H D 6433044 T F	H D 6433044 (***) T F	100ピン T Q F P (TFP-100B)
			H D 6433044 F	H D 6433044 (***) F	100ピン Q F P (FP-100B)
		3 V 版	H D 6433044 V T F	H D 6433044 (***) V T F	100ピン T Q F P (TFP-100B)
			H D 6433044 V F	H D 6433044 (***) V F	100ピン Q F P (FP-100B)

【注】 マスク R O M 版の (\*\*\*) は R O M コードです。

## H. 外形寸法図

本 L S I の外形寸法図 F P - 100 B を図 H.1、T F P - 100 B を図 H.2 に示します。

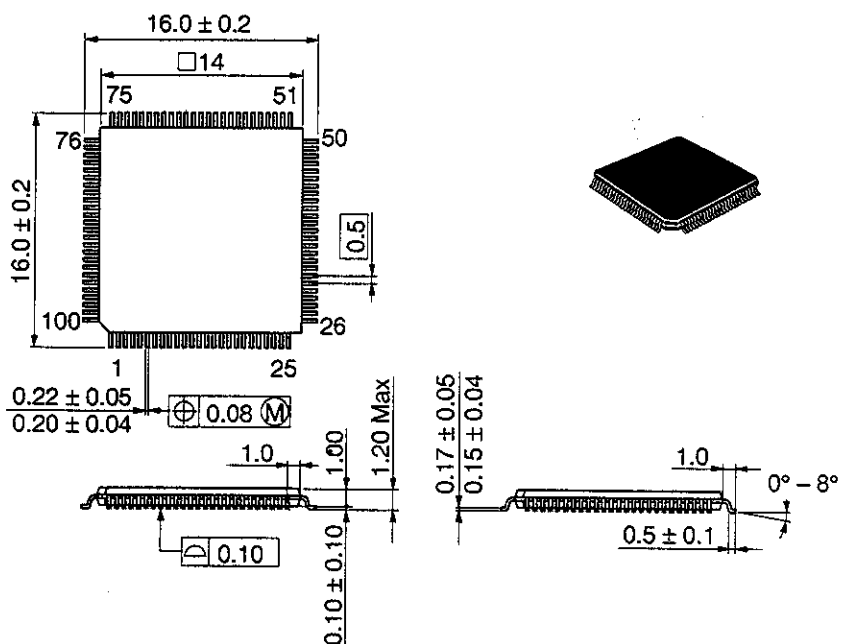
Unit: mm



Dimension including the plating thickness  
Base material dimension

図 H.1 外形寸法図 (F P - 100 B)

Unit: mm



Dimension including the plating thickness  
Base material dimension

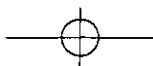
図 H.2 外形寸法図 (T F P - 100 B)

# 株式会社 日立製作所

半導体事業部	〒100	東京都千代田区大手町二丁目6番2号 (日本ビル)	(03) 3270-2111 (大代)
北海道支社	〒060	札幌市中央区北二条西四丁目1番地 (札幌三井ビル)	(011) 261-3131 (大代)
北見営業所	〒090	北見市北四条東二丁目1番地 (安田火災ビル)	(0157) 22-7121
道北営業所	〒070	旭川市五条通九丁目左1号 (安田生命旭川ビル)	(0166) 24-3567
道東営業所	〒085	釧路市北大通十丁目1番地 (北銀住生ビル)	(0154) 23-2551
帯広営業所	〒080	帯広市西6条南六丁目3番地 (ソネビル)	(0155) 24-0818
室蘭営業所	〒050	室蘭市中島町四丁目9番6号 (日産産業ビル)	(0143) 44-3327
函館営業所	〒040	函館市五稜郭町35番1号 (日産火災函館ビル)	(0138) 52-6072
東北支社	〒980	仙台市青葉区一番町二丁目4番1号 (興和ビル)	(022) 223-0121 (大代)
青森営業所	〒030	青森市新町二丁目2番4号 (青森新町第一生命ビル)	(0177) 75-1371~3
盛岡営業所	〒020	盛岡市中央通二丁目1番21号 (安田生命盛岡ビル)	(0196) 24-0056
秋田営業所	〒010	秋田市八橋字成川原64番地2 (秋田県農協ビル)	(0188) 64-2234
山形営業所	〒990	山形市香澄町二丁目2番36号 (山形センタービル)	(0236) 23-5333 (代)
庄内営業所	〒998	酒田市中町二丁目5番19号 (酒田本町ビル)	(0234) 26-6979
福島営業所	〒960	福島市大町5番6号 (日生福島ビル)	(0245) 23-0241~3
郡山営業所	〒963	郡山市堤下町9番4号 (大成火災郡山ビル)	(0249) 23-3944
いわき営業所	〒970	いわき市平字大町7番1 (平セントラルビル2階)	(0246) 22-6777
電機システム統括営業本部	〒101-10	東京都千代田区神田駿河台四丁目6番地 (日立本社ビル)	(03) 3258-1111 (大代)
新潟支店	〒950	新潟市東大通一丁目4番1号 (マルタケビル9階)	(025) 241-8161 (代)
電子統括営業本部	〒100	東京都千代田区大手町二丁目6番2号 (日本ビル)	(03) 3270-2111 (大代)
特販第二部	〒310	水戸市三の丸一丁目4番73号 (水戸三井ビル3階)	(0292) 24-7621
松本電子営業所	〒390	松本市深志一丁目2番11号 (昭和ビル7階)	(0263) 36-6632
高崎電子営業所	〒370	高崎市栄町16番11号 (高崎イーストタワービル11階)	(0273) 25-2161
横浜支社	〒220	横浜市西区高島二丁目6番32号 (日産横浜ビル)	(045) 451-5000 (代)
県央支店	〒243	厚木市中町三丁目16番1号 (TYG第11ビル)	(0462) 96-6800 (代)
川崎営業所	〒210	川崎市川崎区宮前町2番2号 (ワタナベビル)	(044) 246-1501 (代)
沼津営業所	〒410	沼津市大手町五丁目6番7号 (ヌマヅ・スルガビル7階)	(0559) 51-3530 (代)
北陸支社	〒930	富山市桜橋通り5番13号 (富山興銀ビル)	(0764) 33-8511 (大代)
金沢支店	〒920	金沢市本町二丁目15番1号 (ポルテ金沢)	(0762) 63-2352 (デジ)
福井営業所	〒910	福井市中央三丁目13番1号 (北国ビル)	(0776) 23-8378 (代)
中部支社	〒460	名古屋市中区栄三丁目17番12号 (大津通電気ビル)	(052) 243-3111 (大代)
浜松支店	〒430-77	浜松市板屋町111番地の2 (浜松アクトタワー)	(053) 454-6281 (代)
静岡支店	〒420	静岡市栄町3番地の9 (朝日生命静岡ビル)	(054) 254-7341 (代)
豊田支店	〒471	豊田市土橋町四丁目67番地2 (豊田日立ビル)	(0565) 29-1031 (代)
岐阜営業所	〒500	岐阜市吉野町六丁目16番17 (大同生命ビル)	(0582) 63-0834
三重営業所	〒510	四日市市浜田町5番27号 (第三加藤ビル8階)	(0593) 52-7111 (代)
関西支社	〒559	大阪市住之江区南港東八丁目3番45号 (日立関西ビル)	(06) 616-1111 (大代)
滋賀営業所	〒520	大津市木下町17番12号 (芙蓉ビル)	(0775) 21-0020 (代)
京都支店	〒604	京都市中京区烏丸通御池下ル虎屋町577番2号 (太陽生命御池ビル)	(075) 223-5611 (デジ)
奈良営業所	〒630	奈良市大宮町五丁目3番14号 (不動ビル)	(0742) 36-2321 (代)
和歌山営業所	〒640	和歌山市三木町中ノ丁15 (和歌山富国生命ビル)	(0734) 33-1258 (代)
神戸支店	〒651	神戸市中央区雲井通四丁目2番2号 (神戸いすゞリクルートビル)	(078) 261-9677 (デジ)
中国支社	〒730	広島市中区基町11番10号 (千代田生命ビル)	(082) 223-4111 (代)
鳥取営業所	〒680	鳥取市今町二丁目251番地 (日生鳥取駅前ビル)	(0857) 22-4270 (代)
山陰営業所	〒690	松江市朝日町498番地6 (松江駅前第一生命ビル)	(0852) 26-7366 (代)
岡山支店	〒700	岡山市下石井一丁目1番3号 (日本生命岡山第二ビル)	(086) 224-5271 (代)
福山営業所	〒720	福山市船町7番23号 (安田生命福山ビル)	(0849) 24-6738 (代)
山口支店	〒754	山口県吉敷郡小郡町高砂町1番8号 (安田生命小郡ビル)	(08397) 2-3039 (代)
徳山営業所	〒745	徳山市代々木通一丁目4番1号 (三井生命ビル)	(0834) 31-1515 (代)
宇部営業所	〒755	宇部市相生町8番1号 (宇部興産ビル)	(0836) 31-3610 (代)
四国支社	〒760	高松市中央町5番31号 (中央町ビル)	(0878) 31-2111 (代)
愛媛支店	〒790	松山市三番町四丁目4番6号 (松山第二東邦生命ビル)	(089) 943-1333 (代)
東予営業所	〒792	新居浜市一宮町一丁目5番50号 (新居浜ビル)	(0897) 35-1153
徳島営業所	〒770	徳島市八百屋町三丁目15番地 (徳島日産生命ビル)	(0886) 54-5535 (代)
高知営業所	〒780	高知市本町二丁目1番10号 (安田生命高知ビル)	(0888) 24-0511 (代)
九州支社	〒814	福岡市早良区百道浜二丁目1番1号 (日立九州ビル)	(092) 852-1111 (代)
北九州支店	〒802	北九州市小倉北区紺屋町12番23号 (小倉日産生命ビル)	(093) 533-5500
佐賀営業所	〒840	佐賀市駅前中央一丁目9番45号 (三井生命佐賀駅前ビル3階)	(0952) 29-7981
長崎営業所	〒850	長崎市万才町6番34号 (日産・時事長崎ビル)	(0958) 21-6313
熊本支店	〒860	熊本市中央街2番11号 (熊本サンニッセイビル2階)	(096) 359-7070
大分営業所	〒870	大分市舞鶴町一丁目4番35 (大分三井ビル)	(0975) 34-0860
宮崎営業所	〒880	宮崎市橋通東四丁目7番28号 (宮崎第一生命ビル)	(0985) 29-1721
鹿児島営業所	〒890	鹿児島市中央町12番2号 (明治生命西鹿児島ビル)	(0992) 56-9021 (代)
沖縄営業所	〒900	那覇市松山一丁目1番14号 (千代田生命那覇共同ビル)	(098) 868-8176

■ 資料のご請求は、上記の担当営業または下記へどうぞ。株式会社 日立製作所 半導体事業部 ドキュメント管理室  
〒100 東京都千代田区大手町二丁目6番2号 (日本ビル) 電話 (03) 5201-5189 (直) FAX (03) 3270-3277

● 製品仕様は、改良のため変更することがあります。



H8/3048 シリーズ、H8/3048F-ZTAT™  
ハードウェアマニュアル

発行年月 平成 6 年 3 月 第 1 版  
平成 9 年 8 月 第 5 版

発 行 株式会社 日立製作所  
半導体事業部

編 集 株式会社日立マイコンシステム  
技術情報センタ

©株式会社 日立製作所 1994

