

# 1. 概要

---

## 第 1 章 目次

1. 1	概要	3
1. 2	内部ブロック図	8
1. 3	端子説明	9
1. 3. 1	ピン配置図	9
1. 3. 2	動作モード別端子機能一覧	10
1. 3. 3	端子機能	12

---

## 1.1 概要

H8/3048シリーズは、日立オリジナルアーキテクチャを採用したH8/300H CPUを核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU）です。

H8/300H CPUは、内部32ビット構成で16ビット×16本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16Mバイトのリニアなアドレス空間を扱うことができます。また、H8/300CPUの命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、ROM、RAM、16ビットインテグレートッドタイマユニット（ITU）、プログラマブルタイミングパターンコントローラ（TPC）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、A/D変換器、D/A変換器、I/Oポート、DMAコントローラ（DMAC）、リフレッシュコントローラなどを内蔵しています。

H8/3048シリーズには、H8/3048、H8/3047、H8/3045、H8/3044の4種類があります。H8/3048には、128kバイトROMと4kバイトRAM、H8/3047には、96kバイトROMと4kバイトRAM、H8/3045には64kバイトROMと2kバイトRAM、H8/3044には32kバイトROMと2kバイトRAMがそれぞれ内蔵されています。

MCU動作モードは、モード1～7（シングルチップモード1種類、拡張モード6種類）があり、データバス幅とアドレス空間を選択することができます。

H8/3048シリーズには、マスクROM版のほかに、ユーザサイドで自由にプログラムの書き込みができるPROMを内蔵したZTAT<sup>®</sup>\*<sup>1</sup>版があります。仕様流動性の高い応用機器さらに量産初期から本格的量産などユーザの状況に応じて迅速かつ柔軟な対応が可能です。さらに、H8/3048にはF-ZTAT<sup>™</sup>\*<sup>2</sup>版があり、基板実装後のプログラム書換えが可能です。

H8/3048シリーズの特長を表1.1に示します。

[注] \*<sup>1</sup> ZTATは(株)日立製作所の登録商標です。

\*<sup>2</sup> F-ZTATは(株)日立製作所の商標です。

表 1. 1 特長(1)

項 目	仕 様
C P U	<p>H 8 / 3 0 0 C P U に対してオブジェクトレベルで上位互換汎用レジスタマシン</p> <ul style="list-style-type: none"> <li>汎用レジスタ : 16ビット×16本 ( 8 ビット×16本+16ビット× 8 本、 32ビット×8 本としても使用可能)</li> </ul> <p>高速動作 (フラッシュメモリ版)</p> <ul style="list-style-type: none"> <li>最大動作周波数 : 16MHz</li> <li>加減算 : 125ns</li> <li>乗除算 : 875ns</li> </ul> <p>高速動作 (マスクROM、PROM版)</p> <ul style="list-style-type: none"> <li>最大動作周波数 : 18MHz</li> <li>加減算 : 111ns</li> <li>乗除算 : 778ns</li> </ul> <p>アドレス空間16Mバイト</p> <p>特長ある命令</p> <ul style="list-style-type: none"> <li>8 / 16 / 32ビット転送・演算命令</li> <li>符号なし／符号付乗算命令 ( 8 ビット× 8 ビット、16ビット×16ビット)</li> <li>符号なし／符号付除算命令 (16ビット÷ 8 ビット、32ビット÷16ビット)</li> <li>ビットアキュムレータ機能</li> <li>レジスタ間接指定によりビット番号を指定可能なビット操作命令</li> </ul>

表 1. 1 特長(2)

項 目	仕 様
メモリ	H 8 / 3 0 4 8 ・ROM : 128 k バイト ・RAM : 4 k バイト H 8 / 3 0 4 7 ・ROM : 96 k バイト ・RAM : 4 k バイト H 8 / 3 0 4 5 ・ROM : 64 k バイト ・RAM : 2 k バイト H 8 / 3 0 4 4 ・ROM : 32 k バイト ・RAM : 2 k バイト
割込みコントローラ	・外部割込み端子 7 本 : NMI、 $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_6$ ・内部割込み 30 要因 ・3 レベルの割込み優先順位が設定可能
バスコントローラ	・アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 ・エリア 0 ～ 7 に対してそれぞれチップセレクト出力可能 ・エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を設定可能 ・エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能 ・4 種類のウェイトモードを設定可能 ・バス権調停機能
リフレッシュコントローラ	D R A M リ フ レ ッ シ ュ ・×16 ビット構成の D R A M を直接接続可能 ・C A S ビ フ ォ R A S リ フ レ ッ シ ュ ・セルフリフレッシュモード設定可能 P S R A M リ フ レ ッ シ ュ ・セルフリフレッシュモード設定可能 インターバルタイマとして使用可能
DMA コントローラ (D M A C)	ショートアドレスモード ・最大 4 チャンネルを使用可能 ・I / O モード / アイドルモード / リピートモードの選択可能 ・起動要因 : I T U チャンネル 0 ～ 3 のコンペアマッチ / インプットキャプチャ A 割込み、S C I チャンネル 0 の送信データエンプティ / 受信データフル割込み、外部リクエスト フルアドレスモード ・最大 2 チャンネルを使用可能 ・ノーマルモード / ブロック転送モードの選択可能 ・起動要因 : I T U チャンネル 0 ～ 3 のコンペアマッチ / インプットキャプチャ A 割込み、外部リクエスト、オートリクエスト

表 1. 1 特長(3)

項 目	仕 様
16ビットインテグレートッドタイマユニット (ITU)	<ul style="list-style-type: none"> <li>・16ビットタイマ5チャンネルを内蔵。最大12端子のパルス出力、または最大10種類のパルスの入力処理が可能</li> <li>・16ビットタイマカウンタ×1 (チャンネル0～4)</li> <li>・アウトプットコンペア出力/インプットキャプチャ入力 (兼用端子) ×2 (チャンネル0～4)</li> <li>・同期動作可能 (チャンネル0～4)</li> <li>・PWMモード設定可能 (チャンネル0～4)</li> <li>・位相計数モード設定可能 (チャンネル2)</li> <li>・パッファ動作可能 (チャンネル3、4)</li> <li>・リセット同期PWMモード設定可能 (チャンネル3、4)</li> <li>・相補PWMモード設定可能 (チャンネル3、4)</li> <li>・コンペアマッチ/インプットキャプチャAの割込みによりDMAC起動可能 (チャンネル0～3)</li> </ul>
プログラマブルタイミングパターンコントローラ (TPC)	<ul style="list-style-type: none"> <li>・ITUをタイムベースとした最大16ビットのパルス出力が可能</li> <li>・最大4ビット×4系統のパルス出力が可能 (16ビット×1系統、8ビット×2系統などの設定も可能)</li> <li>・ノンオーバーラップモード設定可能</li> <li>・DMACによる出力データの転送可能</li> </ul>
ウォッチドッグタイマ (WDT) ×1 チャンネル	<ul style="list-style-type: none"> <li>・オーバフローによりリセット信号を発生可能</li> <li>・リセット信号の外部出力可能</li> <li>・インターバルタイマとして使用可能</li> </ul>
シリアルコミュニケーションインタフェース (SCI) ×2 チャンネル	<ul style="list-style-type: none"> <li>・調歩同期/クロック同期式モードの選択可能</li> <li>・送受信同時動作 (全二重動作) 可能</li> <li>・専用のボーレートジェネレータ内蔵</li> <li>・スマートカードインタフェース拡張機能内蔵 (SCI0のみ)</li> </ul>
A/D変換器	<ul style="list-style-type: none"> <li>・分解能: 10ビット</li> <li>・8チャンネル: 単一モード/スキャンモード選択可能</li> <li>・アナログ変換電圧範囲の設定が可能</li> <li>・サンプル&amp;ホールド機能付</li> <li>・外部トリガによるA/D変換開始可能</li> </ul>
D/A変換器	<ul style="list-style-type: none"> <li>・分解能: 8ビット</li> <li>・2チャンネル</li> <li>・ソフトウェアスタンバイモード時D/A出力保持可能</li> </ul>
I/Oポート	<ul style="list-style-type: none"> <li>・入出力端子70本</li> <li>・入力端子8本</li> </ul>

表 1. 1 特長(4)

項 目	仕 様																																																	
動作モード	7 種類の M C U 動作モード																																																	
	<table><tr><th>モード</th><th>アドレス空間</th><th>アドレス端子</th><th>バス幅初期値</th><th>バス幅最大値</th></tr><tr><td>モード 1</td><td>1 M バイト</td><td>A<sub>19</sub> ~ A<sub>0</sub></td><td>8 ビット</td><td>16 ビット</td></tr><tr><td>モード 2</td><td>1 M バイト</td><td>A<sub>19</sub> ~ A<sub>0</sub></td><td>16 ビット</td><td>16 ビット</td></tr><tr><td>モード 3</td><td>16 M バイト</td><td>A<sub>23</sub> ~ A<sub>0</sub></td><td>8 ビット</td><td>16 ビット</td></tr><tr><td>モード 4</td><td>16 M バイト</td><td>A<sub>23</sub> ~ A<sub>0</sub></td><td>16 ビット</td><td>16 ビット</td></tr><tr><td>モード 5</td><td>1 M バイト</td><td>A<sub>19</sub> ~ A<sub>0</sub></td><td>8 ビット</td><td>16 ビット</td></tr><tr><td>モード 6</td><td>16 M バイト</td><td>A<sub>23</sub> ~ A<sub>0</sub></td><td>8 ビット</td><td>16 ビット</td></tr><tr><td>モード 7</td><td>1 M バイト</td><td>—</td><td>—</td><td>—</td></tr></table>	モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値	モード 1	1 M バイト	A <sub>19</sub> ~ A <sub>0</sub>	8 ビット	16 ビット	モード 2	1 M バイト	A <sub>19</sub> ~ A <sub>0</sub>	16 ビット	16 ビット	モード 3	16 M バイト	A <sub>23</sub> ~ A <sub>0</sub>	8 ビット	16 ビット	モード 4	16 M バイト	A <sub>23</sub> ~ A <sub>0</sub>	16 ビット	16 ビット	モード 5	1 M バイト	A <sub>19</sub> ~ A <sub>0</sub>	8 ビット	16 ビット	モード 6	16 M バイト	A <sub>23</sub> ~ A <sub>0</sub>	8 ビット	16 ビット	モード 7	1 M バイト	—	—	—									
	モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値																																													
	モード 1	1 M バイト	A <sub>19</sub> ~ A <sub>0</sub>	8 ビット	16 ビット																																													
	モード 2	1 M バイト	A <sub>19</sub> ~ A <sub>0</sub>	16 ビット	16 ビット																																													
	モード 3	16 M バイト	A <sub>23</sub> ~ A <sub>0</sub>	8 ビット	16 ビット																																													
	モード 4	16 M バイト	A <sub>23</sub> ~ A <sub>0</sub>	16 ビット	16 ビット																																													
	モード 5	1 M バイト	A <sub>19</sub> ~ A <sub>0</sub>	8 ビット	16 ビット																																													
	モード 6	16 M バイト	A <sub>23</sub> ~ A <sub>0</sub>	8 ビット	16 ビット																																													
	モード 7	1 M バイト	—	—	—																																													
・モード 1 ~ 4 では内蔵 R O M は無効となります。																																																		
低消費電力状態	・スリープモード																																																	
	・ソフトウェアスタンバイモード																																																	
	・ハードウェアスタンバイモード																																																	
	・モジュール別スタンバイ機能あり																																																	
	・システムクロック分周比可変																																																	
そ の 他	・クロック発振器内蔵																																																	
製品ラインアップ	<table><tr><th>製品型名 (5V<sub>DD</sub>)</th><th>製品型名 (3V<sub>DD</sub>)</th><th>パッケージ</th><th>R O M</th></tr><tr><td>HD64F3048TF</td><td>HD64F3048VTF</td><td>100pin TQFP (TFP-100B)</td><td rowspan="2">フラッシュ メモリ版</td></tr><tr><td>HD64F3048F</td><td>HD64F3048VF</td><td>100pin QFP (FP-100B)</td></tr><tr><td>HD6473048TF</td><td>HD6473048VTF</td><td>100pin TQFP (TFP-100B)</td><td rowspan="2">P R O M 版</td></tr><tr><td>HD6473048F</td><td>HD6473048VF</td><td>100pin QFP (FP-100B)</td></tr><tr><td>HD6433048TF</td><td>HD6433048VTF</td><td>100pin TQFP (TFP-100B)</td><td rowspan="2">マスク R O M 版</td></tr><tr><td>HD6433048F</td><td>HD6433048VF</td><td>100pin QFP (FP-100B)</td></tr><tr><td>HD6433047TF</td><td>HD6433047VTF</td><td>100pin TQFP (TFP-100B)</td><td rowspan="2">マスク R O M 版</td></tr><tr><td>HD6433047F</td><td>HD6433047VF</td><td>100pin QFP (FP-100B)</td></tr><tr><td>HD6433045TF</td><td>HD6433045VTF</td><td>100pin TQFP (TFP-100B)</td><td rowspan="2">マスク R O M 版</td></tr><tr><td>HD6433045F</td><td>HD6433045VF</td><td>100pin QFP (FP-100B)</td></tr><tr><td>HD6433044TF</td><td>HD6433044VTF</td><td>100pin TQFP (TFP-100B)</td><td rowspan="2">マスク R O M 版</td></tr><tr><td>HD6433044F</td><td>HD6433044VF</td><td>100pin QFP (FP-100B)</td></tr></table>				製品型名 (5V <sub>DD</sub> )	製品型名 (3V <sub>DD</sub> )	パッケージ	R O M	HD64F3048TF	HD64F3048VTF	100pin TQFP (TFP-100B)	フラッシュ メモリ版	HD64F3048F	HD64F3048VF	100pin QFP (FP-100B)	HD6473048TF	HD6473048VTF	100pin TQFP (TFP-100B)	P R O M 版	HD6473048F	HD6473048VF	100pin QFP (FP-100B)	HD6433048TF	HD6433048VTF	100pin TQFP (TFP-100B)	マスク R O M 版	HD6433048F	HD6433048VF	100pin QFP (FP-100B)	HD6433047TF	HD6433047VTF	100pin TQFP (TFP-100B)	マスク R O M 版	HD6433047F	HD6433047VF	100pin QFP (FP-100B)	HD6433045TF	HD6433045VTF	100pin TQFP (TFP-100B)	マスク R O M 版	HD6433045F	HD6433045VF	100pin QFP (FP-100B)	HD6433044TF	HD6433044VTF	100pin TQFP (TFP-100B)	マスク R O M 版	HD6433044F	HD6433044VF	100pin QFP (FP-100B)
	製品型名 (5V <sub>DD</sub> )	製品型名 (3V <sub>DD</sub> )	パッケージ	R O M																																														
	HD64F3048TF	HD64F3048VTF	100pin TQFP (TFP-100B)	フラッシュ メモリ版																																														
	HD64F3048F	HD64F3048VF	100pin QFP (FP-100B)																																															
	HD6473048TF	HD6473048VTF	100pin TQFP (TFP-100B)	P R O M 版																																														
	HD6473048F	HD6473048VF	100pin QFP (FP-100B)																																															
	HD6433048TF	HD6433048VTF	100pin TQFP (TFP-100B)	マスク R O M 版																																														
	HD6433048F	HD6433048VF	100pin QFP (FP-100B)																																															
	HD6433047TF	HD6433047VTF	100pin TQFP (TFP-100B)	マスク R O M 版																																														
	HD6433047F	HD6433047VF	100pin QFP (FP-100B)																																															
	HD6433045TF	HD6433045VTF	100pin TQFP (TFP-100B)	マスク R O M 版																																														
	HD6433045F	HD6433045VF	100pin QFP (FP-100B)																																															
	HD6433044TF	HD6433044VTF	100pin TQFP (TFP-100B)	マスク R O M 版																																														
	HD6433044F	HD6433044VF	100pin QFP (FP-100B)																																															

## 1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

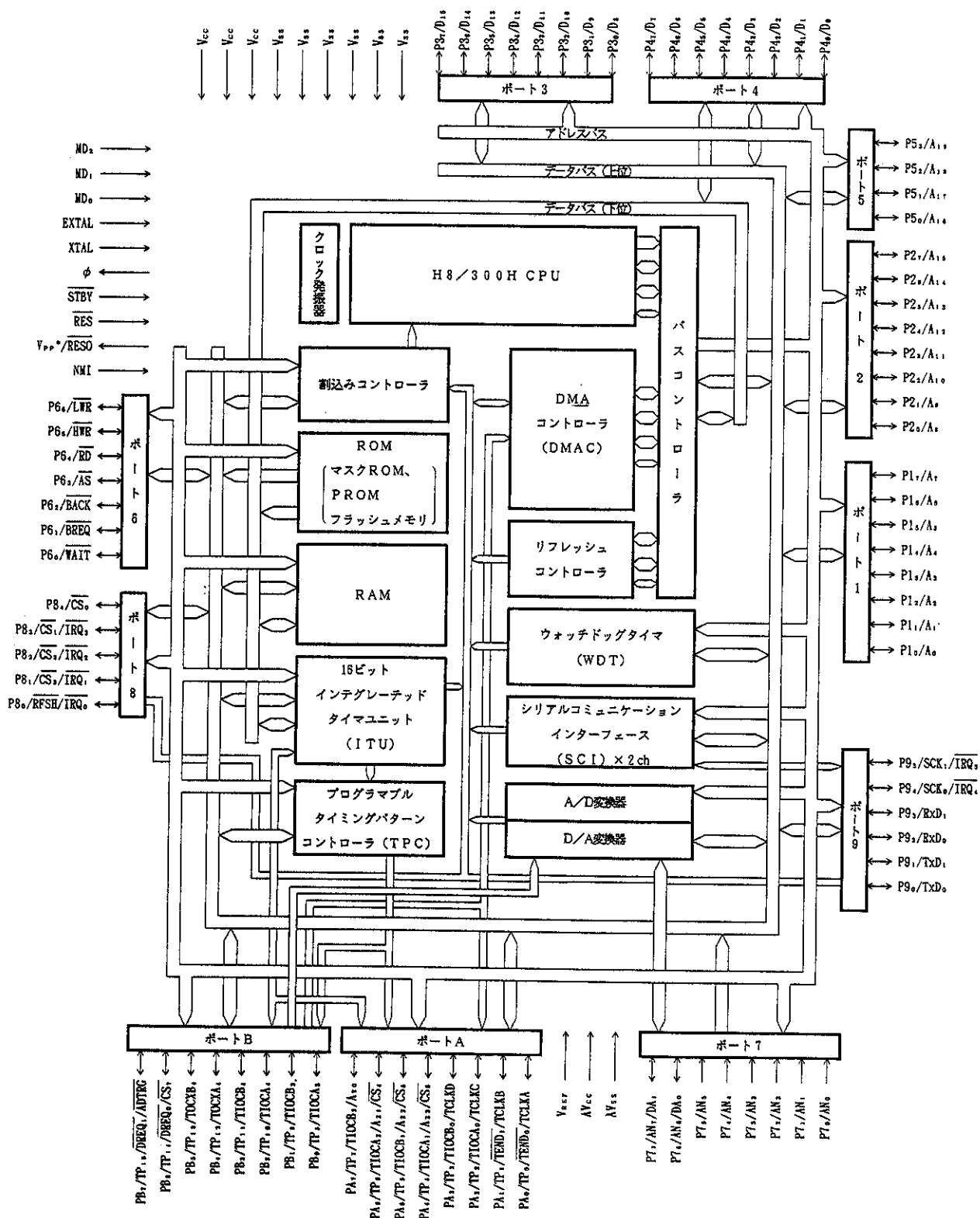


図 1.1 内部ブロック図

【注】\*  $V_{pp}$ 端子はフラッシュメモリ版のみ対応します。

## 1. 3 端子説明

### 1. 3. 1 ピン配置図

H 8 / 3 0 4 8 シリーズのピン配置図を図 1. 2 に示します。

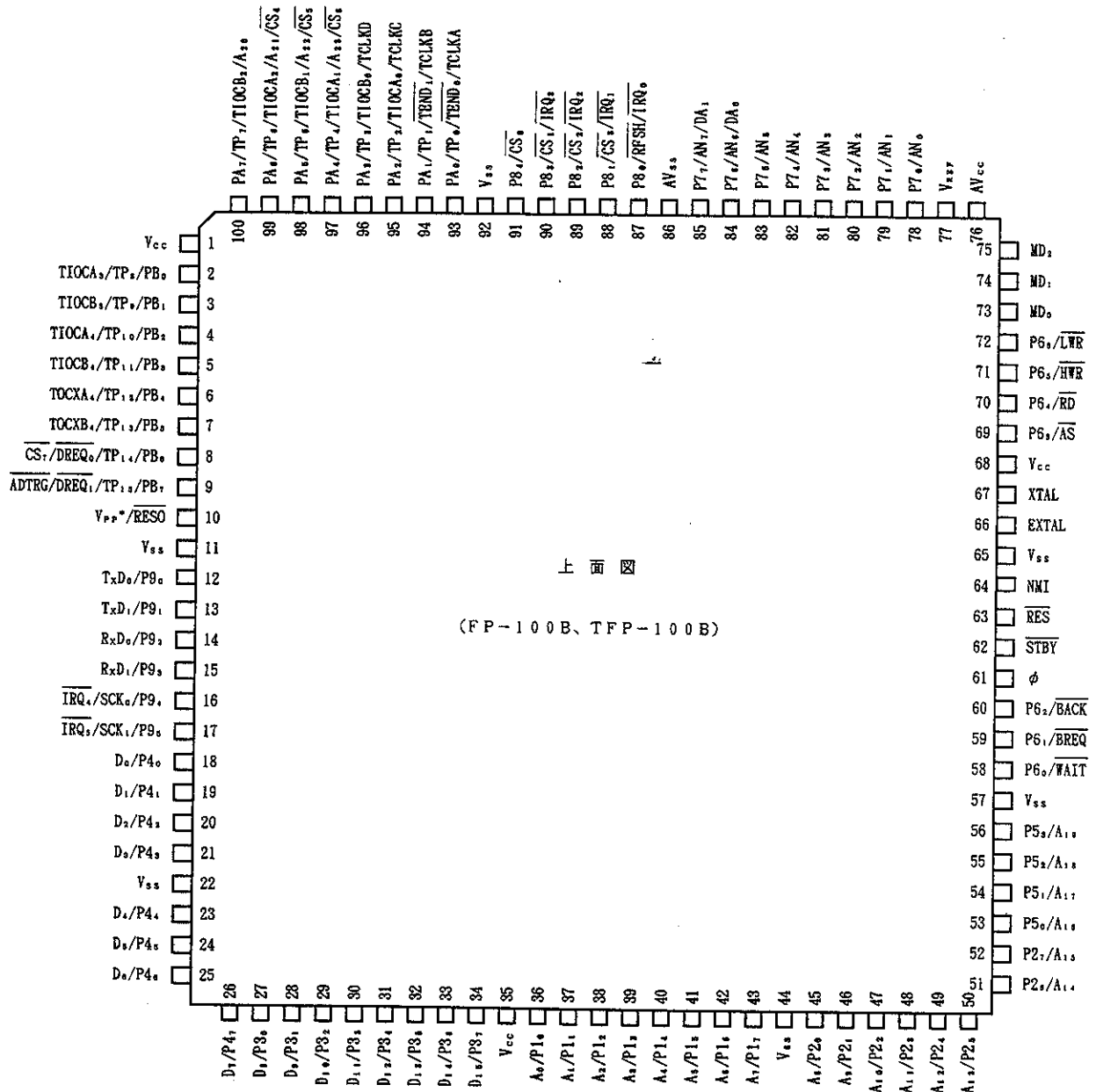


図 1. 2 ピン配置図 (FP-100B、TFP-100B : 上面図)

【注】\* V<sub>PP</sub>端子はフラッシュメモリ版のみ対応します。



### 1. 3. 2 動作モード別端子機能一覧

動作モード別端子機能を表 1. 2 に示します。

表 1. 2 動作モード別端子機能一覧 (FP-100B、TFP-100B) (1)

ピン 番号	端 子 名							PROMモード	
	モード1	モード2	モード3	モード4	モード5	モード6	モード7	EPROM	7575
1	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>
2	PB <sub>0</sub> /TP <sub>0</sub> /TIOCA <sub>0</sub>	PB <sub>0</sub> /TP <sub>0</sub> /TIOCA <sub>0</sub>	PB <sub>0</sub> /TP <sub>0</sub> /TIOCA <sub>0</sub>	PB <sub>0</sub> /TP <sub>0</sub> /TIOCA <sub>0</sub>	PB <sub>0</sub> /TP <sub>0</sub> /TIOCA <sub>0</sub>	PB <sub>0</sub> /TP <sub>0</sub> /TIOCA <sub>0</sub>	PB <sub>0</sub> /TP <sub>0</sub> /TIOCA <sub>0</sub>	NC	NC
3	PB <sub>1</sub> /TP <sub>1</sub> /TIOCB <sub>1</sub>	PB <sub>1</sub> /TP <sub>1</sub> /TIOCB <sub>1</sub>	PB <sub>1</sub> /TP <sub>1</sub> /TIOCB <sub>1</sub>	PB <sub>1</sub> /TP <sub>1</sub> /TIOCB <sub>1</sub>	PB <sub>1</sub> /TP <sub>1</sub> /TIOCB <sub>1</sub>	PB <sub>1</sub> /TP <sub>1</sub> /TIOCB <sub>1</sub>	PB <sub>1</sub> /TP <sub>1</sub> /TIOCB <sub>1</sub>	NC	NC
4	PB <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>2</sub>	PB <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>2</sub>	PB <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>2</sub>	PB <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>2</sub>	PB <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>2</sub>	PB <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>2</sub>	PB <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>2</sub>	NC	NC
5	PB <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>3</sub>	PB <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>3</sub>	PB <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>3</sub>	PB <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>3</sub>	PB <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>3</sub>	PB <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>3</sub>	PB <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>3</sub>	NC	NC
6	PB <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>4</sub>	PB <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>4</sub>	PB <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>4</sub>	PB <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>4</sub>	PB <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>4</sub>	PB <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>4</sub>	PB <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>4</sub>	NC	NC
7	PB <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>5</sub>	PB <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>5</sub>	PB <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>5</sub>	PB <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>5</sub>	PB <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>5</sub>	PB <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>5</sub>	PB <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>5</sub>	NC	NC
8	PB <sub>6</sub> /TP <sub>6</sub> /DREQ <sub>6</sub> /CS <sub>6</sub>	PB <sub>6</sub> /TP <sub>6</sub> /DREQ <sub>6</sub> /CS <sub>6</sub>	PB <sub>6</sub> /TP <sub>6</sub> /DREQ <sub>6</sub> /CS <sub>6</sub>	PB <sub>6</sub> /TP <sub>6</sub> /DREQ <sub>6</sub> /CS <sub>6</sub>	PB <sub>6</sub> /TP <sub>6</sub> /DREQ <sub>6</sub> /CS <sub>6</sub>	PB <sub>6</sub> /TP <sub>6</sub> /DREQ <sub>6</sub> /CS <sub>6</sub>	PB <sub>6</sub> /TP <sub>6</sub> /DREQ <sub>6</sub> /CS <sub>6</sub>	NC	NC
9	PB <sub>7</sub> /TP <sub>7</sub> /DREQ <sub>7</sub> /ADTRG <sub>7</sub>	PB <sub>7</sub> /TP <sub>7</sub> /DREQ <sub>7</sub> /ADTRG <sub>7</sub>	PB <sub>7</sub> /TP <sub>7</sub> /DREQ <sub>7</sub> /ADTRG <sub>7</sub>	PB <sub>7</sub> /TP <sub>7</sub> /DREQ <sub>7</sub> /ADTRG <sub>7</sub>	PB <sub>7</sub> /TP <sub>7</sub> /DREQ <sub>7</sub> /ADTRG <sub>7</sub>	PB <sub>7</sub> /TP <sub>7</sub> /DREQ <sub>7</sub> /ADTRG <sub>7</sub>	PB <sub>7</sub> /TP <sub>7</sub> /DREQ <sub>7</sub> /ADTRG <sub>7</sub>	NC	NC
10	RES0	RES0	RES0	RES0	RES0	RES0	RES0	V <sub>ss</sub>	V <sub>ss</sub>
11	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>
12	P9 <sub>0</sub> /TxD <sub>0</sub>	P9 <sub>0</sub> /TxD <sub>0</sub>	P9 <sub>0</sub> /TxD <sub>0</sub>	P9 <sub>0</sub> /TxD <sub>0</sub>	P9 <sub>0</sub> /TxD <sub>0</sub>	P9 <sub>0</sub> /TxD <sub>0</sub>	P9 <sub>0</sub> /TxD <sub>0</sub>	NC	NC
13	P9 <sub>1</sub> /TxD <sub>1</sub>	P9 <sub>1</sub> /TxD <sub>1</sub>	P9 <sub>1</sub> /TxD <sub>1</sub>	P9 <sub>1</sub> /TxD <sub>1</sub>	P9 <sub>1</sub> /TxD <sub>1</sub>	P9 <sub>1</sub> /TxD <sub>1</sub>	P9 <sub>1</sub> /TxD <sub>1</sub>	NC	NC
14	P9 <sub>2</sub> /RxD <sub>2</sub>	P9 <sub>2</sub> /RxD <sub>2</sub>	P9 <sub>2</sub> /RxD <sub>2</sub>	P9 <sub>2</sub> /RxD <sub>2</sub>	P9 <sub>2</sub> /RxD <sub>2</sub>	P9 <sub>2</sub> /RxD <sub>2</sub>	P9 <sub>2</sub> /RxD <sub>2</sub>	NC	NC
15	P9 <sub>3</sub> /RxD <sub>3</sub>	P9 <sub>3</sub> /RxD <sub>3</sub>	P9 <sub>3</sub> /RxD <sub>3</sub>	P9 <sub>3</sub> /RxD <sub>3</sub>	P9 <sub>3</sub> /RxD <sub>3</sub>	P9 <sub>3</sub> /RxD <sub>3</sub>	P9 <sub>3</sub> /RxD <sub>3</sub>	NC	NC
16	P9 <sub>4</sub> /SCK <sub>4</sub> /IRQ <sub>4</sub>	P9 <sub>4</sub> /SCK <sub>4</sub> /IRQ <sub>4</sub>	P9 <sub>4</sub> /SCK <sub>4</sub> /IRQ <sub>4</sub>	P9 <sub>4</sub> /SCK <sub>4</sub> /IRQ <sub>4</sub>	P9 <sub>4</sub> /SCK <sub>4</sub> /IRQ <sub>4</sub>	P9 <sub>4</sub> /SCK <sub>4</sub> /IRQ <sub>4</sub>	P9 <sub>4</sub> /SCK <sub>4</sub> /IRQ <sub>4</sub>	NC	NC
17	P9 <sub>5</sub> /SCK <sub>5</sub> /IRQ <sub>5</sub>	P9 <sub>5</sub> /SCK <sub>5</sub> /IRQ <sub>5</sub>	P9 <sub>5</sub> /SCK <sub>5</sub> /IRQ <sub>5</sub>	P9 <sub>5</sub> /SCK <sub>5</sub> /IRQ <sub>5</sub>	P9 <sub>5</sub> /SCK <sub>5</sub> /IRQ <sub>5</sub>	P9 <sub>5</sub> /SCK <sub>5</sub> /IRQ <sub>5</sub>	P9 <sub>5</sub> /SCK <sub>5</sub> /IRQ <sub>5</sub>	NC	NC
18	P4 <sub>0</sub> /D <sub>0</sub> <sup>ns</sup>	P4 <sub>0</sub> /D <sub>0</sub> <sup>ns</sup>	P4 <sub>0</sub> /D <sub>0</sub> <sup>ns</sup>	P4 <sub>0</sub> /D <sub>0</sub> <sup>ns</sup>	P4 <sub>0</sub> /D <sub>0</sub> <sup>ns</sup>	P4 <sub>0</sub> /D <sub>0</sub> <sup>ns</sup>	P4 <sub>0</sub> /D <sub>0</sub> <sup>ns</sup>	NC	NC
19	P4 <sub>1</sub> /D <sub>1</sub> <sup>ns</sup>	P4 <sub>1</sub> /D <sub>1</sub> <sup>ns</sup>	P4 <sub>1</sub> /D <sub>1</sub> <sup>ns</sup>	P4 <sub>1</sub> /D <sub>1</sub> <sup>ns</sup>	P4 <sub>1</sub> /D <sub>1</sub> <sup>ns</sup>	P4 <sub>1</sub> /D <sub>1</sub> <sup>ns</sup>	P4 <sub>1</sub> /D <sub>1</sub> <sup>ns</sup>	NC	NC
20	P4 <sub>2</sub> /D <sub>2</sub> <sup>ns</sup>	P4 <sub>2</sub> /D <sub>2</sub> <sup>ns</sup>	P4 <sub>2</sub> /D <sub>2</sub> <sup>ns</sup>	P4 <sub>2</sub> /D <sub>2</sub> <sup>ns</sup>	P4 <sub>2</sub> /D <sub>2</sub> <sup>ns</sup>	P4 <sub>2</sub> /D <sub>2</sub> <sup>ns</sup>	P4 <sub>2</sub> /D <sub>2</sub> <sup>ns</sup>	NC	NC
21	P4 <sub>3</sub> /D <sub>3</sub> <sup>ns</sup>	P4 <sub>3</sub> /D <sub>3</sub> <sup>ns</sup>	P4 <sub>3</sub> /D <sub>3</sub> <sup>ns</sup>	P4 <sub>3</sub> /D <sub>3</sub> <sup>ns</sup>	P4 <sub>3</sub> /D <sub>3</sub> <sup>ns</sup>	P4 <sub>3</sub> /D <sub>3</sub> <sup>ns</sup>	P4 <sub>3</sub> /D <sub>3</sub> <sup>ns</sup>	NC	NC
22	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>
23	P4 <sub>4</sub> /D <sub>4</sub> <sup>ns</sup>	P4 <sub>4</sub> /D <sub>4</sub> <sup>ns</sup>	P4 <sub>4</sub> /D <sub>4</sub> <sup>ns</sup>	P4 <sub>4</sub> /D <sub>4</sub> <sup>ns</sup>	P4 <sub>4</sub> /D <sub>4</sub> <sup>ns</sup>	P4 <sub>4</sub> /D <sub>4</sub> <sup>ns</sup>	P4 <sub>4</sub> /D <sub>4</sub> <sup>ns</sup>	NC	NC
24	P4 <sub>5</sub> /D <sub>5</sub> <sup>ns</sup>	P4 <sub>5</sub> /D <sub>5</sub> <sup>ns</sup>	P4 <sub>5</sub> /D <sub>5</sub> <sup>ns</sup>	P4 <sub>5</sub> /D <sub>5</sub> <sup>ns</sup>	P4 <sub>5</sub> /D <sub>5</sub> <sup>ns</sup>	P4 <sub>5</sub> /D <sub>5</sub> <sup>ns</sup>	P4 <sub>5</sub> /D <sub>5</sub> <sup>ns</sup>	NC	NC
25	P4 <sub>6</sub> /D <sub>6</sub> <sup>ns</sup>	P4 <sub>6</sub> /D <sub>6</sub> <sup>ns</sup>	P4 <sub>6</sub> /D <sub>6</sub> <sup>ns</sup>	P4 <sub>6</sub> /D <sub>6</sub> <sup>ns</sup>	P4 <sub>6</sub> /D <sub>6</sub> <sup>ns</sup>	P4 <sub>6</sub> /D <sub>6</sub> <sup>ns</sup>	P4 <sub>6</sub> /D <sub>6</sub> <sup>ns</sup>	NC	NC
26	P4 <sub>7</sub> /D <sub>7</sub> <sup>ns</sup>	P4 <sub>7</sub> /D <sub>7</sub> <sup>ns</sup>	P4 <sub>7</sub> /D <sub>7</sub> <sup>ns</sup>	P4 <sub>7</sub> /D <sub>7</sub> <sup>ns</sup>	P4 <sub>7</sub> /D <sub>7</sub> <sup>ns</sup>	P4 <sub>7</sub> /D <sub>7</sub> <sup>ns</sup>	P4 <sub>7</sub> /D <sub>7</sub> <sup>ns</sup>	NC	NC
27	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	P3 <sub>0</sub>	EO <sub>0</sub>	I/O <sub>0</sub>
28	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	P3 <sub>1</sub>	EO <sub>1</sub>	I/O <sub>1</sub>
29	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	P3 <sub>2</sub>	EO <sub>2</sub>	I/O <sub>2</sub>
30	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	P3 <sub>3</sub>	EO <sub>3</sub>	I/O <sub>3</sub>
31	D <sub>12</sub>	D <sub>12</sub>	D <sub>12</sub>	D <sub>12</sub>	D <sub>12</sub>	D <sub>12</sub>	P3 <sub>4</sub>	EO <sub>4</sub>	I/O <sub>4</sub>
32	D <sub>13</sub>	D <sub>13</sub>	D <sub>13</sub>	D <sub>13</sub>	D <sub>13</sub>	D <sub>13</sub>	P3 <sub>5</sub>	EO <sub>5</sub>	I/O <sub>5</sub>
33	D <sub>14</sub>	D <sub>14</sub>	D <sub>14</sub>	D <sub>14</sub>	D <sub>14</sub>	D <sub>14</sub>	P3 <sub>6</sub>	EO <sub>6</sub>	I/O <sub>6</sub>
34	D <sub>15</sub>	D <sub>15</sub>	D <sub>15</sub>	D <sub>15</sub>	D <sub>15</sub>	D <sub>15</sub>	P3 <sub>7</sub>	EO <sub>7</sub>	I/O <sub>7</sub>
35	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>
36	A <sub>0</sub>	A <sub>0</sub>	A <sub>0</sub>	A <sub>0</sub>	P1 <sub>0</sub> /A <sub>0</sub>	P1 <sub>0</sub> /A <sub>0</sub>	P1 <sub>0</sub>	EA <sub>0</sub>	A <sub>0</sub>
37	A <sub>1</sub>	A <sub>1</sub>	A <sub>1</sub>	A <sub>1</sub>	P1 <sub>1</sub> /A <sub>1</sub>	P1 <sub>1</sub> /A <sub>1</sub>	P1 <sub>1</sub>	EA <sub>1</sub>	A <sub>1</sub>
38	A <sub>2</sub>	A <sub>2</sub>	A <sub>2</sub>	A <sub>2</sub>	P1 <sub>2</sub> /A <sub>2</sub>	P1 <sub>2</sub> /A <sub>2</sub>	P1 <sub>2</sub>	EA <sub>2</sub>	A <sub>2</sub>
39	A <sub>3</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>3</sub>	P1 <sub>3</sub> /A <sub>3</sub>	P1 <sub>3</sub> /A <sub>3</sub>	P1 <sub>3</sub>	EA <sub>3</sub>	A <sub>3</sub>
40	A <sub>4</sub>	A <sub>4</sub>	A <sub>4</sub>	A <sub>4</sub>	P1 <sub>4</sub> /A <sub>4</sub>	P1 <sub>4</sub> /A <sub>4</sub>	P1 <sub>4</sub>	EA <sub>4</sub>	A <sub>4</sub>
41	A <sub>5</sub>	A <sub>5</sub>	A <sub>5</sub>	A <sub>5</sub>	P1 <sub>5</sub> /A <sub>5</sub>	P1 <sub>5</sub> /A <sub>5</sub>	P1 <sub>5</sub>	EA <sub>5</sub>	A <sub>5</sub>
42	A <sub>6</sub>	A <sub>6</sub>	A <sub>6</sub>	A <sub>6</sub>	P1 <sub>6</sub> /A <sub>6</sub>	P1 <sub>6</sub> /A <sub>6</sub>	P1 <sub>6</sub>	EA <sub>6</sub>	A <sub>6</sub>
43	A <sub>7</sub>	A <sub>7</sub>	A <sub>7</sub>	A <sub>7</sub>	P1 <sub>7</sub> /A <sub>7</sub>	P1 <sub>7</sub> /A <sub>7</sub>	P1 <sub>7</sub>	EA <sub>7</sub>	A <sub>7</sub>
44	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>
45	A <sub>8</sub>	A <sub>8</sub>	A <sub>8</sub>	A <sub>8</sub>	P2 <sub>0</sub> /A <sub>8</sub>	P2 <sub>0</sub> /A <sub>8</sub>	P2 <sub>0</sub>	EA <sub>8</sub>	A <sub>8</sub>
46	A <sub>9</sub>	A <sub>9</sub>	A <sub>9</sub>	A <sub>9</sub>	P2 <sub>1</sub> /A <sub>9</sub>	P2 <sub>1</sub> /A <sub>9</sub>	P2 <sub>1</sub>	EA <sub>9</sub>	A <sub>9</sub>
47	A <sub>10</sub>	A <sub>10</sub>	A <sub>10</sub>	A <sub>10</sub>	P2 <sub>2</sub> /A <sub>10</sub>	P2 <sub>2</sub> /A <sub>10</sub>	P2 <sub>2</sub>	EA <sub>10</sub>	A <sub>10</sub>
48	A <sub>11</sub>	A <sub>11</sub>	A <sub>11</sub>	A <sub>11</sub>	P2 <sub>3</sub> /A <sub>11</sub>	P2 <sub>3</sub> /A <sub>11</sub>	P2 <sub>3</sub>	EA <sub>11</sub>	A <sub>11</sub>
49	A <sub>12</sub>	A <sub>12</sub>	A <sub>12</sub>	A <sub>12</sub>	P2 <sub>4</sub> /A <sub>12</sub>	P2 <sub>4</sub> /A <sub>12</sub>	P2 <sub>4</sub>	EA <sub>12</sub>	A <sub>12</sub>
50	A <sub>13</sub>	A <sub>13</sub>	A <sub>13</sub>	A <sub>13</sub>	P2 <sub>5</sub> /A <sub>13</sub>	P2 <sub>5</sub> /A <sub>13</sub>	P2 <sub>5</sub>	EA <sub>13</sub>	A <sub>13</sub>
51	A <sub>14</sub>	A <sub>14</sub>	A <sub>14</sub>	A <sub>14</sub>	P2 <sub>6</sub> /A <sub>14</sub>	P2 <sub>6</sub> /A <sub>14</sub>	P2 <sub>6</sub>	EA <sub>14</sub>	A <sub>14</sub>
52	A <sub>15</sub>	A <sub>15</sub>	A <sub>15</sub>	A <sub>15</sub>	P2 <sub>7</sub> /A <sub>15</sub>	P2 <sub>7</sub> /A <sub>15</sub>	P2 <sub>7</sub>	EA <sub>15</sub>	A <sub>15</sub>
53	A <sub>16</sub>	A <sub>16</sub>	A <sub>16</sub>	A <sub>16</sub>	P5 <sub>0</sub> /A <sub>16</sub>	P5 <sub>0</sub> /A <sub>16</sub>	P5 <sub>0</sub>	CE	CE
54	A <sub>17</sub>	A <sub>17</sub>	A <sub>17</sub>	A <sub>17</sub>	P5 <sub>1</sub> /A <sub>17</sub>	P5 <sub>1</sub> /A <sub>17</sub>	P5 <sub>1</sub>	V <sub>cc</sub>	V <sub>cc</sub>
55	A <sub>18</sub>	A <sub>18</sub>	A <sub>18</sub>	A <sub>18</sub>	P5 <sub>2</sub> /A <sub>18</sub>	P5 <sub>2</sub> /A <sub>18</sub>	P5 <sub>2</sub>	NC	NC

表 1.2 動作モード別端子機能一覧 (F P - 100 B、T F P - 100 B) (2)

ピン 番号	端 子 名							PROMモード	
	モード1	モード2	モード3	モード4	モード5	モード6	モード7	EPROM	フラッシュ
56	A <sub>10</sub>	A <sub>10</sub>	A <sub>10</sub>	A <sub>10</sub>	P5 <sub>0</sub> /A <sub>10</sub>	P5 <sub>0</sub> /A <sub>10</sub>	P5 <sub>0</sub>	NC	NC
57	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>
58	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub>	EA <sub>10</sub>	A <sub>10</sub>
59	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub>	NC	NC
60	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub>	NC	NC
61	φ	φ	φ	φ	φ	φ	φ	NC	NC
62	STBY	STBY	STBY	STBY	STBY	STBY	STBY	V <sub>ss</sub>	V <sub>cc</sub>
63	RES	RES	RES	RES	RES	RES	RES	NC	RES
64	NMI	NMI	NMI	NMI	NMI	NMI	NMI	EA <sub>1</sub>	A <sub>0</sub>
65	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>
66	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	NC	EXTAL
67	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	NC	XTAL
68	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>
69	AS	AS	AS	AS	AS	AS	P6 <sub>0</sub>	NC	A <sub>10</sub>
70	RD	RD	RD	RD	RD	RD	P6 <sub>0</sub>	NC	NC
71	HWR	HWR	HWR	HWR	HWR	HWR	P6 <sub>0</sub>	NC	V <sub>cc</sub>
72	LVR	LVR	LVR	LVR	LVR	LVR	P6 <sub>0</sub>	NC	NC
73	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	V <sub>ss</sub>	V <sub>ss</sub>
74	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	V <sub>ss</sub>	V <sub>ss</sub>
75	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	V <sub>ss</sub>	V <sub>ss</sub>
76	AV <sub>cc</sub>	AV <sub>cc</sub>	AV <sub>cc</sub>	AV <sub>cc</sub>	AV <sub>cc</sub>	AV <sub>cc</sub>	AV <sub>cc</sub>	V <sub>cc</sub>	V <sub>cc</sub>
77	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>cc</sub>	V <sub>cc</sub>
78	PT <sub>0</sub> /AN <sub>0</sub>	PT <sub>0</sub> /AN <sub>0</sub>	PT <sub>0</sub> /AN <sub>0</sub>	PT <sub>0</sub> /AN <sub>0</sub>	PT <sub>0</sub> /AN <sub>0</sub>	PT <sub>0</sub> /AN <sub>0</sub>	PT <sub>0</sub> /AN <sub>0</sub>	NC	NC
79	PT <sub>1</sub> /AN <sub>1</sub>	PT <sub>1</sub> /AN <sub>1</sub>	PT <sub>1</sub> /AN <sub>1</sub>	PT <sub>1</sub> /AN <sub>1</sub>	PT <sub>1</sub> /AN <sub>1</sub>	PT <sub>1</sub> /AN <sub>1</sub>	PT <sub>1</sub> /AN <sub>1</sub>	NC	NC
80	PT <sub>2</sub> /AN <sub>2</sub>	PT <sub>2</sub> /AN <sub>2</sub>	PT <sub>2</sub> /AN <sub>2</sub>	PT <sub>2</sub> /AN <sub>2</sub>	PT <sub>2</sub> /AN <sub>2</sub>	PT <sub>2</sub> /AN <sub>2</sub>	PT <sub>2</sub> /AN <sub>2</sub>	NC	NC
81	PT <sub>3</sub> /AN <sub>3</sub>	PT <sub>3</sub> /AN <sub>3</sub>	PT <sub>3</sub> /AN <sub>3</sub>	PT <sub>3</sub> /AN <sub>3</sub>	PT <sub>3</sub> /AN <sub>3</sub>	PT <sub>3</sub> /AN <sub>3</sub>	PT <sub>3</sub> /AN <sub>3</sub>	NC	NC
82	PT <sub>4</sub> /AN <sub>4</sub>	PT <sub>4</sub> /AN <sub>4</sub>	PT <sub>4</sub> /AN <sub>4</sub>	PT <sub>4</sub> /AN <sub>4</sub>	PT <sub>4</sub> /AN <sub>4</sub>	PT <sub>4</sub> /AN <sub>4</sub>	PT <sub>4</sub> /AN <sub>4</sub>	NC	NC
83	PT <sub>5</sub> /AN <sub>5</sub>	PT <sub>5</sub> /AN <sub>5</sub>	PT <sub>5</sub> /AN <sub>5</sub>	PT <sub>5</sub> /AN <sub>5</sub>	PT <sub>5</sub> /AN <sub>5</sub>	PT <sub>5</sub> /AN <sub>5</sub>	PT <sub>5</sub> /AN <sub>5</sub>	NC	NC
84	PT <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	PT <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	PT <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	PT <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	PT <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	PT <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	PT <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	NC	NC
85	PT <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	PT <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	PT <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	PT <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	PT <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	PT <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	PT <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	NC	NC
86	AV <sub>ss</sub>	AV <sub>ss</sub>	AV <sub>ss</sub>	AV <sub>ss</sub>	AV <sub>ss</sub>	AV <sub>ss</sub>	AV <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>
87	P8 <sub>0</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>0</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>0</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>0</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>0</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>0</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>0</sub> /IRQ <sub>0</sub>	EA <sub>10</sub>	NC
88	P8 <sub>1</sub> /CS <sub>0</sub> /IRQ <sub>1</sub>	P8 <sub>1</sub> /CS <sub>0</sub> /IRQ <sub>1</sub>	P8 <sub>1</sub> /CS <sub>0</sub> /IRQ <sub>1</sub>	P8 <sub>1</sub> /CS <sub>0</sub> /IRQ <sub>1</sub>	P8 <sub>1</sub> /CS <sub>0</sub> /IRQ <sub>1</sub>	P8 <sub>1</sub> /CS <sub>0</sub> /IRQ <sub>1</sub>	P8 <sub>1</sub> /IRQ <sub>1</sub>	PGM	NC
89	P8 <sub>2</sub> /CS <sub>1</sub> /IRQ <sub>2</sub>	P8 <sub>2</sub> /CS <sub>1</sub> /IRQ <sub>2</sub>	P8 <sub>2</sub> /CS <sub>1</sub> /IRQ <sub>2</sub>	P8 <sub>2</sub> /CS <sub>1</sub> /IRQ <sub>2</sub>	P8 <sub>2</sub> /CS <sub>1</sub> /IRQ <sub>2</sub>	P8 <sub>2</sub> /CS <sub>1</sub> /IRQ <sub>2</sub>	P8 <sub>2</sub> /IRQ <sub>2</sub>	NC	V <sub>cc</sub>
90	P8 <sub>3</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>	P8 <sub>3</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>	P8 <sub>3</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>	P8 <sub>3</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>	P8 <sub>3</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>	P8 <sub>3</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>	P8 <sub>3</sub> /IRQ <sub>3</sub>	NC	VE
91	P8 <sub>4</sub> /CS <sub>3</sub>	P8 <sub>4</sub> /CS <sub>3</sub>	P8 <sub>4</sub> /CS <sub>3</sub>	P8 <sub>4</sub> /CS <sub>3</sub>	P8 <sub>4</sub> /CS <sub>3</sub>	P8 <sub>4</sub> /CS <sub>3</sub>	P8 <sub>4</sub>	NC	NC
92	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>	V <sub>ss</sub>
93	PA <sub>0</sub> /TP <sub>0</sub> /TEND <sub>0</sub> /TCLKA	PA <sub>0</sub> /TP <sub>0</sub> /TEND <sub>0</sub> /TCLKA	PA <sub>0</sub> /TP <sub>0</sub> /TEND <sub>0</sub> /TCLKA	PA <sub>0</sub> /TP <sub>0</sub> /TEND <sub>0</sub> /TCLKA	PA <sub>0</sub> /TP <sub>0</sub> /TEND <sub>0</sub> /TCLKA	PA <sub>0</sub> /TP <sub>0</sub> /TEND <sub>0</sub> /TCLKA	PA <sub>0</sub> /TP <sub>0</sub> /TEND <sub>0</sub> /TCLKA	NC	NC
94	PA <sub>1</sub> /TP <sub>1</sub> /TEND <sub>1</sub> /TCLKB	PA <sub>1</sub> /TP <sub>1</sub> /TEND <sub>1</sub> /TCLKB	PA <sub>1</sub> /TP <sub>1</sub> /TEND <sub>1</sub> /TCLKB	PA <sub>1</sub> /TP <sub>1</sub> /TEND <sub>1</sub> /TCLKB	PA <sub>1</sub> /TP <sub>1</sub> /TEND <sub>1</sub> /TCLKB	PA <sub>1</sub> /TP <sub>1</sub> /TEND <sub>1</sub> /TCLKB	PA <sub>1</sub> /TP <sub>1</sub> /TEND <sub>1</sub> /TCLKB	NC	NC
95	PA <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>0</sub> /TCLKC	PA <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>0</sub> /TCLKC	PA <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>0</sub> /TCLKC	PA <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>0</sub> /TCLKC	PA <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>0</sub> /TCLKC	PA <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>0</sub> /TCLKC	PA <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>0</sub> /TCLKC	NC	NC
96	PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>0</sub> /TCLKD	PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>0</sub> /TCLKD	PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>0</sub> /TCLKD	PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>0</sub> /TCLKD	PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>0</sub> /TCLKD	PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>0</sub> /TCLKD	PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>0</sub> /TCLKD	NC	NC
97	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /CS <sub>0</sub>	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /CS <sub>0</sub>	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /CS <sub>0</sub>	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /CS <sub>0</sub>	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /CS <sub>0</sub>	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /CS <sub>0</sub>	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /CS <sub>0</sub>	NC	NC
98	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> /CS <sub>1</sub>	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> /CS <sub>1</sub>	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> /CS <sub>1</sub>	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> /CS <sub>1</sub>	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> /CS <sub>1</sub>	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> /CS <sub>1</sub>	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> /CS <sub>1</sub>	NC	NC
99	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub> /CS <sub>2</sub>	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub> /CS <sub>2</sub>	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub> /CS <sub>2</sub>	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub> /CS <sub>2</sub>	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub> /CS <sub>2</sub>	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub> /CS <sub>2</sub>	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub> /CS <sub>2</sub>	NC	NC
100	PA <sub>7</sub> /TP <sub>7</sub> /TIOCB <sub>2</sub>	PA <sub>7</sub> /TP <sub>7</sub> /TIOCB <sub>2</sub>	A <sub>10</sub>	A <sub>10</sub>	PA <sub>7</sub> /TP <sub>7</sub> /TIOCB <sub>2</sub>	A <sub>10</sub>	PA <sub>7</sub> /TP <sub>7</sub> /TIOCB <sub>2</sub>	NC	NC

【注】\*<sup>1</sup> モード1、3、5、6では、リセット直後、P4<sub>0</sub>/D<sub>0</sub>～P4<sub>7</sub>/D<sub>7</sub>端子はP4<sub>0</sub>～P4<sub>7</sub>端子となっています（プログラムで変更できます）。

\*<sup>2</sup> モード2、4では、リセット直後、P4<sub>0</sub>/D<sub>0</sub>～P4<sub>7</sub>/D<sub>7</sub>端子はD<sub>0</sub>～D<sub>7</sub>端子となっています（プログラムで変更できます）。

1. NCピンは、何も接続しないでください。
2. PROMモードについての詳細は、「第18章 ROM」を参照してください。

### 1.3.3 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能(1)

分 類	記 号	ピン番号	入出力	名 称 お よ び 機 能
電源	V <sub>cc</sub>	1、35、 68	入力	<u>電源</u> 電源に接続します。 V <sub>cc</sub> 端子は、全端子をシステムの電源に接続してください。
	V <sub>ss</sub>	11、22、 44、57、 65、92	入力	<u>グラウンド</u> 電源（0 V）に接続します。 V <sub>ss</sub> 端子は、全端子をシステムの電源（0 V）に接続してください。
クロック	XTAL	67	入力	水晶発振子を接続します。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第19章 クロック発振器」を参照してください。
	EXTAL	66	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第19章 クロック発振器」を参照してください。
	φ	61	出力	<u>システムクロック</u> 外部デバイスにシステムクロックを供給します。

表 1.3 端子機能(2)

分 類	記 号	ピン番号	入出力	名 称 お よ び 機 能																																
動作モード コントロール	MD <sub>2</sub> ~MD <sub>0</sub>	75~73	入力	モード端子 動作モードを設定します。 MD <sub>2</sub> ~MD <sub>0</sub> 端子と動作モードの関係は次の とおりです。これらの端子は動作中には 変化させないでください。																																
				<table><tr><th>MD<sub>2</sub></th><th>MD<sub>1</sub></th><th>MD<sub>0</sub></th><th>動作モード</th></tr><tr><td>0</td><td>0</td><td>0</td><td>——</td></tr><tr><td>0</td><td>0</td><td>1</td><td>モード 1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>モード 2</td></tr><tr><td>0</td><td>1</td><td>1</td><td>モード 3</td></tr><tr><td>1</td><td>0</td><td>0</td><td>モード 4</td></tr><tr><td>1</td><td>0</td><td>1</td><td>モード 5</td></tr><tr><td>1</td><td>1</td><td>0</td><td>モード 6</td></tr><tr><td>1</td><td>1</td><td>1</td><td>モード 7</td></tr></table>	MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	動作モード	0	0	0	——	0	0	1	モード 1	0	1	0	モード 2	0	1	1	モード 3	1	0	0	モード 4	1	0	1	モード 5	1	1	0	モード 6
MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	動作モード																																	
0	0	0	——																																	
0	0	1	モード 1																																	
0	1	0	モード 2																																	
0	1	1	モード 3																																	
1	0	0	モード 4																																	
1	0	1	モード 5																																	
1	1	0	モード 6																																	
1	1	1	モード 7																																	
システム 制御	$\overline{\text{RES}}$	63	入力	リセット入力 この端子が“Low”レベルになると、 リセット状態となります。																																
	$\overline{\text{RES0}}$ ( $\overline{\text{RES0/V}_{PP}}$ )	10	出力	リセット出力 外部デバイスに対し、リセット信号を出力 します。 フラッシュメモリ版ではV <sub>PP</sub> （オンボー ド書き込み用プログラム電源）端子機能を 兼用します。																																
	$\overline{\text{STBY}}$	62	入力	スタンバイ この端子が“Low”レベルになると、ハー ドウェアスタンバイモードに移移します。																																
	$\overline{\text{BREQ}}$	59	入力	バス権要求 本LSIに対し、外部バスマスタがバス 権を要求します。																																
	$\overline{\text{BACK}}$	60	出力	バス権要求アクノリッジ バス権を外部バスマスタに解放したことを 示します。																																

表 1. 3 端子機能(3)

分 類	記 号	ピン番号	入出力	名 称 お よ び 機 能
割込み	NMI	64	入力	<u>ノンマスクابل割込み</u> マスク不可能な割込みを要求します。
	$\overline{\text{IRQ}}_7 \sim \overline{\text{IRQ}}_0$	17、16、 90～87、	入力	<u>割込み要求 5 ～ 0</u> マスク可能な割込みを要求します。
アドレス バス	$A_{23} \sim A_0$	97～100、 56～45、 43～36	出力	<u>アドレスバス</u> アドレスを出力します。
データバス	$D_{15} \sim D_0$	34～23、 21～18	入出力	<u>データバス</u> 双方向データバスです。
バス制御	$\overline{\text{CS}}_7 \sim \overline{\text{CS}}_0$	8、 97～99、 88～91、	出力	<u>チップセレクト</u> エリア 7 ～ 0 の選択信号です。
	$\overline{\text{AS}}$	69	出力	<u>アドレスストローブ</u> この端子が“Low”レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{\text{RD}}$	70	出力	<u>リード</u> この端子が“Low”レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{HWR}}$	71	出力	<u>ハイライト</u> この端子が“Low”レベルのとき、外部アドレス空間のライト状態であり、データバスの上位側( $D_{15} \sim D_8$ )が有効であることを示します。
	$\overline{\text{LWR}}$	72	出力	<u>ロウライト</u> この端子が“Low”レベルのとき、外部アドレス空間のライト状態であり、データバスの下位側( $D_7 \sim D_0$ )が有効であることを示します。
	$\overline{\text{WAIT}}$	58	入力	<u>ウェイト</u> 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。

表 1. 3 端子機能(4)

分 類	記 号	ピン番号	入出力	名 称 お よ び 機 能
リフレッシュ コントローラ	RFSH	87	出力	リフレッシュ リフレッシュサイクルを示します。
	$\overline{CS}_3$	88	出力	<u>ロウアドレスストローブ (<math>\overline{RAS}</math>)</u> エリア 3 に接続された DRAM のロウア ドレスストローブ信号です。
	$\overline{RD}$	70	出力	<u>カラムアドレスストローブ (<math>\overline{CAS}</math>)</u> エリア 3 に接続された DRAM のカラム アドレスストローブ信号です。 2 $\overline{WE}$ 方式 DRAM に使用します。
				<u>ライトイネーブル (<math>\overline{WE}</math>)</u> エリア 3 に接続された DRAM のライト イネーブル信号です。 2 $\overline{CAS}$ 方式 DRAM に使用します。
	$\overline{HWR}$	71	出力	<u>アッパーライト (<math>\overline{UW}</math>)</u> エリア 3 に接続された DRAM のライト イネーブル信号です。 2 $\overline{WE}$ 方式 DRAM に使用します。
				<u>アッパーカラムアドレス ストローブ (<math>\overline{UCAS}</math>)</u> エリア 3 に接続された DRAM のカラム アドレスストローブ信号です。 2 $\overline{CAS}$ 方式 DRAM に使用します。
	$\overline{LWR}$	72	出力	<u>ロウアーライト (<math>\overline{LW}</math>)</u> エリア 3 に接続された DRAM のライト イネーブル信号です。 2 $\overline{WE}$ 方式 DRAM に使用します。
				<u>ロウアーカラムアドレス ストローブ (<math>\overline{LCAS}</math>)</u> エリア 3 に接続された DRAM のカラム アドレスストローブ信号です。 2 $\overline{CAS}$ 方式 DRAM に使用します。

表 1.3 端子機能(5)

分 類	記 号	ピン番号	入出力	名 称 お よ び 機 能
DMAコン トローラ (DMAC)	$\overline{\text{DREQ}}_1$ 、 $\overline{\text{DREQ}}_0$	9、8	入力	<u>DMA要求1、0</u> DMACの起動を要求します。
	$\overline{\text{TEND}}_1$ 、 $\overline{\text{TEND}}_0$	94、93、	出力	<u>DMA終了1、0</u> DMACのデータ転送終了を示します。
16ビット インテグ レーテッ ドタイマ ユニット (ITU)	TCLKD ~TCLKA	96~93	入力	<u>クロック入力D~A</u> 外部クロックを入力します。
	TIOCA <sub>4</sub> ~TIOCA <sub>0</sub>	4、2、 99、97、 95	入出力	<u>インプットキャプチャ／</u> <u>アウトプットコンペアA4~A0</u> GRA4~A0のアウトプットコンペア 出力／インプットキャプチャ入力／PW M出力端子です。
	TIOCB <sub>4</sub> ~TIOCB <sub>0</sub>	5、3、 100、98、 96	入出力	<u>インプットキャプチャ／</u> <u>アウトプットコンペアB4~B0</u> GRB4~B0のアウトプットコンペア 出力／インプットキャプチャ入力／PW M出力端子です。
	TOCXA <sub>4</sub>	6	出力	<u>アウトプットコンペアXA4</u> PWM出力端子です。
	TOCXB <sub>4</sub>	7	出力	<u>アウトプットコンペアXB4</u> PWM出力端子です。
プログラマブルタイ ミングパルスコントロ ー(TPC)	TP <sub>15</sub> ~TP <sub>0</sub>	9~2、 100~93	出力	<u>TPC出力15~0</u> パルス出力端子です。
シリアルコミュニケー ションインターフェース (SCI)	TxD <sub>1</sub> 、TxD <sub>0</sub>	13、12	出力	<u>トランスミットデータ(チャンネル0、1)</u> SCIのデータ出力端子です。
	RxD <sub>1</sub> 、RxD <sub>0</sub>	15、14	入力	<u>レシーブデータ(チャンネル0、1)</u> SCIのデータ入力端子です。
	SCK <sub>1</sub> 、SCK <sub>0</sub>	17、16	入出力	<u>シリアルクロック(チャンネル0、1)</u> SCIのクロック入出力端子です。
A/D 変換器	AN <sub>7</sub> ~AN <sub>0</sub>	85~78	入力	<u>アナログ7~0</u> アナログ入力端子です。
	$\overline{\text{ADTRG}}$	9	入力	<u>A/D変換外部トリガ入力</u> A/D変換開始のための外部トリガ入力 端子です。
D/A 変換器	DA <sub>1</sub> 、DA <sub>0</sub>	85、84	出力	<u>アナログ出力</u> D/A変換器のアナログ出力端子です。

表 1. 3 端子機能(6)

分 類	記 号	ピン番号	入出力	名 称 お よ び 機 能
A / D 変 換 器 、 D / A 変 換 器	AV <sub>cc</sub>	76	入力	A / D 変換器および D / A 変換器の電源端子です。 A / D 変換器および D / A 変換器を使用しない場合はシステム電源 (+ 5 V) に接続してください。
	AV <sub>ss</sub>	86	入力	A / D 変換器および D / A 変換器のグラウンド端子です。 システムの電源 (0 V) に接続してください。
	V <sub>REF</sub>	77	入力	A / D 変換器および D / A 変換器の基準電圧入力端子です。 A / D 変換器および D / A 変換器を使用しない場合はシステムの電源 (+ 5 V) に接続してください。
I / O ポ ー ト	P1 <sub>7</sub> ~ P1 <sub>0</sub>	43 ~ 36	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。 ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P2 <sub>7</sub> ~ P2 <sub>0</sub>	52 ~ 45	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。 ポート 2 データディレクションレジスタ (P2DDR) によって、1 ビットごとに入出力を指定できます。
	P3 <sub>7</sub> ~ P3 <sub>0</sub>	34 ~ 27	入出力	<u>ポート 3</u> 8 ビットの入出力端子です。 ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P4 <sub>7</sub> ~ P4 <sub>0</sub>	26 ~ 23、 21 ~ 18	入出力	<u>ポート 4</u> 8 ビットの入出力端子です。 ポート 4 データディレクションレジスタ (P4DDR) によって、1 ビットごとに入出力を指定できます。



表 1. 3 端子機能(7)

分 類	記 号	ピン番号	入出力	名 称 お よ び 機 能
I / O ポ ー ト	P5 <sub>0</sub> ~P5 <sub>0</sub>	56~53	入出力	<u>ポート 5</u> 4 ビットの入出力端子です。 ポート 5 データディレクションレジスタ (P5DDR) によって、1 ビットごと に入出力を指定できます。
	P6 <sub>0</sub> ~P6 <sub>0</sub>	72~69、 60~58	入出力	<u>ポート 6</u> 7 ビットの入出力端子です。 ポート 6 データディレクションレジスタ (P6DDR) によって、1 ビットごと に入出力を指定できます。
	P7 <sub>7</sub> ~P7 <sub>0</sub>	85~78	入力	<u>ポート 7</u> 8 ビットの入力端子です。
	P8 <sub>4</sub> ~P8 <sub>0</sub>	91~87	入出力	<u>ポート 8</u> 5 ビットの入出力端子です。 ポート 8 データディレクションレジスタ (P8DDR) によって、1 ビットごと に入出力を指定できます。
	P9 <sub>0</sub> ~P9 <sub>0</sub>	17~12	入出力	<u>ポート 9</u> 6 ビットの入出力端子です。 ポート 9 データディレクションレジスタ (P9DDR) によって、1 ビットごと に入出力を指定できます。
	PA <sub>7</sub> ~PA <sub>0</sub>	100~93	入出力	<u>ポート A</u> 8 ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDDR) によって、1 ビットごと に入出力を指定できます。
	PB <sub>7</sub> ~PB <sub>0</sub>	9~2	入出力	<u>ポート B</u> 8 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごと に入出力を指定できます。