

# 8. DMAコントローラ

## 第8章 目次

8.1	概要	213
8.1.1	特長	213
8.1.2	ブロック図	214
8.1.3	機能概要	215
8.1.4	端子構成	216
8.1.5	レジスタ構成	216
8.2	各レジスタの説明(1) (ショートアドレスモード)	218
8.2.1	メモリアドレスレジスタ (MAR)	219
8.2.2	I/Oアドレスレジスタ (IOAR)	220
8.2.3	転送カウントレジスタ (ETCR)	221
8.2.4	データトランスファコントロールレジスタ (DTCR)	222
8.3	各レジスタの説明(2) (フルアドレスモード)	226
8.3.1	メモリアドレスレジスタ (MAR)	226
8.3.2	I/Oアドレスレジスタ (IOAR)	227
8.3.3	転送カウントレジスタ (ETCR)	227
8.3.4	データトランスファコントロールレジスタ (DTCR)	229
8.4	動作説明	236
8.4.1	概要	236
8.4.2	I/Oモード	238
8.4.3	アイドルモード	241
8.4.4	リピートモード	244
8.4.5	ノーマルモード	247

8. 4. 6	ブロック転送モード	250
8. 4. 7	DMA Cの起動要因	255
8. 4. 8	DMA Cのバスサイクル	257
8. 4. 9	DMA C複数チャネルの動作	261
8. 4. 10	外部バス権要求、リフレッシュコントローラとDMA Cの関係	262
8. 4. 11	NMI 割込みとDMA C	263
8. 4. 12	DMA C動作の強制終了	264
8. 4. 13	フルアドレスモードの解除	264
8. 4. 14	リセット、スタンバイモード、スリープモード時のDMA Cの状態	265
8. 5	割込み	266
8. 6	使用上の注意	267
8. 6. 1	ワードデータ転送時の注意	267
8. 6. 2	DMA CによるDMA C自体のアクセス	267
8. 6. 3	MARのロングワードアクセス	267
8. 6. 4	フルアドレスモード設定時の注意	267
8. 6. 5	内部割込みでDMA Cを起動する場合の注意	268
8. 6. 6	NMI 割込みとブロック転送モード	269
8. 6. 7	MAR、IOARのアドレス指定	269
8. 6. 8	転送中断時のバスサイクル	270

---

## 8.1 概要

H8/3048シリーズは、DMAコントローラ（DMAC）を内蔵しています。DMACは最大4チャンネルのデータ転送を行うことができます。

消費電流低減のためDMAコントローラを使用しない場合には、DMAコントローラを単独で停止することができます。詳細は「20.6 モジュールスタンバイ機能」を参照してください。

### 8.1.1 特長

DMACには次の特長があります。

#### ■ショートアドレスモードとフルアドレスモードを選択可能

##### (1) ショートアドレスモード

- ・転送元、転送先アドレスの一方を24ビット、他方を8ビットで指定
- ・最大4チャンネルを使用可能
- ・I/Oモード/アイドルモード/リピートモードの選択が可能

##### (2) フルアドレスモード

- ・転送元、転送先アドレスを24ビットで指定
- ・最大2チャンネルを使用可能
- ・ノーマルモード/ブロック転送モードの選択が可能

#### ■16Mバイトのアドレス空間を直接指定可能

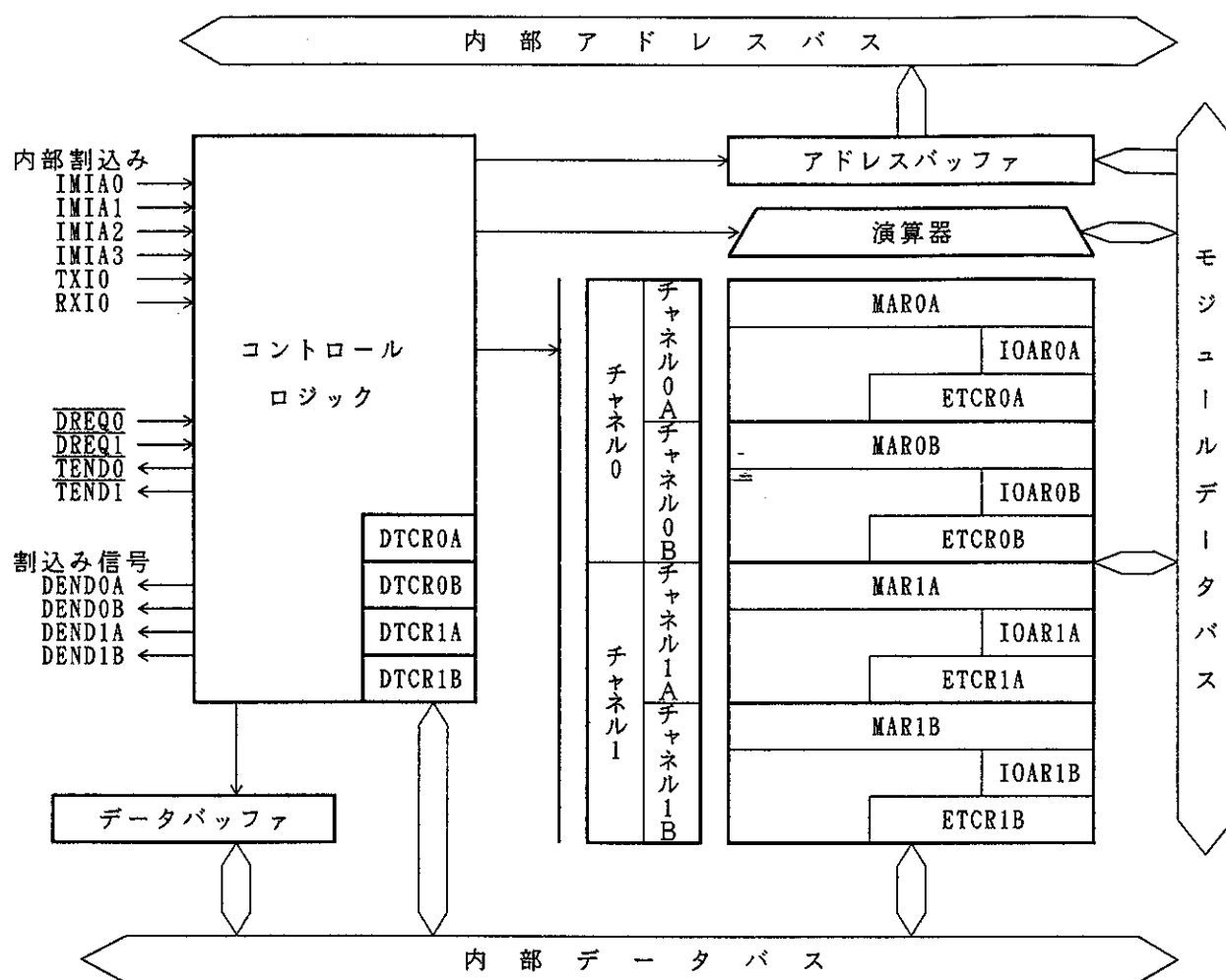
#### ■転送単位をバイト/ワードに設定可能

#### ■起動要因は、内部割込み、外部リクエスト、オートリクエスト（転送モードに依存）

- ・16ビットインテグレートドタイマユニット（ITU）のコンペアマッチ/インプットキャプチャ割込み×4
- ・シリアルコミュニケーションインタフェース（SCIチャンネル0）の送信データエンプティ割込み、受信データフル割込み
- ・外部リクエスト
- ・オートリクエスト

## 8.1.2 ブロック図

DMACのブロック図を図8.1に示します。



### 《記号説明》

DTCR : データトランスファコントロールレジスタ

MAR : メモリアドレスレジスタ

IOAR : I/Oアドレスレジスタ

ETCR : 転送カウントレジスタ

図8.1 DMACのブロック図

### 8.1.3 機能概要

DMA Cの機能概要を表8.1に示します。

表 8.1 DMA Cの機能概要

転送モード		転送要因	アドレスレジスタビット長	
			ソース	デスティネーション
シ ョ ー ト ア ド レ ス モ ー ド	(1) I/Oモード ・ 1回の転送要求で1バイトまたは1ワードの転送を実行 ・ メモリアドレスを1または2増減 ・ 転送回数は1～65536	・ I T Uチャンネル0～3のコパアマチ/インプットキャプチャA割込み ・ S C Iチャンネル0の送信データエンブティ割込み	24	8
	(2) アイドルモード ・ 1回の転送要求で1バイトまたは1ワードの転送を実行 ・ メモリアドレスは固定 ・ 転送回数は1～65536	・ S C Iチャンネル0の受信データフル割込み	8	24
	(3) リピートモード ・ 1回の転送要求で1バイトまたは1ワードの転送を実行 ・ メモリアドレスを1または2増減 ・ 指定回数(1～255)転送後、初期状態を回復して動作を継続	・ 外部リクエスト	24	8
フ ル ア ド レ ス モ ー ド	(1) ノーマルモード ① オートリクエスト ・ 転送要求を内部保持 ・ 指定回数(1～65536)継続して転送 ・ バーストモード/サイクルスチールモードを選択可能 ② 外部リクエスト ・ 1回の転送要求で1バイトまたは1ワードの転送を実行 ・ 転送回数は1～65536	・ オートリクエスト ・ 外部リクエスト	24	24
	(2) ブロック転送モード ・ 1回の転送要求で指定したブロックサイズの転送 ・ 転送回数は1～65536 ・ ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ・ ブロックサイズ1～255バイトまたはワード	・ I T Uチャンネル0～3のコパアマチ/インプットキャプチャA割込み ・ 外部リクエスト	24	24

#### 8. 1. 4 端子構成

DMA Cの端子構成を表 8. 2 に示します。

表 8. 2 端子構成

チャンネル	名 称	略 称	入出力	機 能
0	DMA 要求 0	$\overline{\text{DREQ}}_0$	入力	DMA C チャンネル 0 の外部リクエスト
	DMA 終了 0	$\overline{\text{TEND}}_0$	出力	DMA C チャンネル 0 の転送終了
1	DMA 要求 1	$\overline{\text{DREQ}}_1$	入力	DMA C チャンネル 1 の外部リクエスト
	DMA 終了 1	$\overline{\text{TEND}}_1$	出力	DMA C チャンネル 1 の転送終了

【注】 ショートアドレスモードでは、チャンネル A に対する外部リクエストは行えません。

#### 8. 1. 5 レジスタ構成

DMA Cのレジスタ構成を表 8. 3 に示します。

表 8.3 レジスタ構成

チャネル	アドレス*	名 称	略 称	R/W	初期値
0	H'FF20	メモリアドレスレジスタ0AR	MAR0AR	R/W	不定
	H'FF21	メモリアドレスレジスタ0AE	MAR0AE	R/W	不定
	H'FF22	メモリアドレスレジスタ0AH	MAR0AH	R/W	不定
	H'FF23	メモリアドレスレジスタ0AL	MAR0AL	R/W	不定
	H'FF26	I/Oアドレスレジスタ0A	IOAR0A	R/W	不定
	H'FF24	転送カウントレジスタ0AH	ETCR0AH	R/W	不定
	H'FF25	転送カウントレジスタ0AL	ETCR0AL	R/W	不定
	H'FF27	データ転スファ コントロールレジスタ0A	DTCR0A	R/W	H'00
	H'FF28	メモリアドレスレジスタ0BR	MAR0BR	R/W	不定
	H'FF29	メモリアドレスレジスタ0BE	MAR0BE	R/W	不定
	H'FF2A	メモリアドレスレジスタ0BH	MAR0BH	R/W	不定
	H'FF2B	メモリアドレスレジスタ0BL	MAR0BL	R/W	不定
	H'FF2E	I/Oアドレスレジスタ0B	IOAR0B	R/W	不定
	H'FF2C	転送カウントレジスタ0BH	ETCR0BH	R/W	不定
	H'FF2D	転送カウントレジスタ0BL	ETCR0BL	R/W	不定
	H'FF2F	データ転スファ コントロールレジスタ0B	DTCR0B	R/W	H'00
1	H'FF30	メモリアドレスレジスタ1AR	MAR1AR	R/W	不定
	H'FF31	メモリアドレスレジスタ1AE	MAR1AE	R/W	不定
	H'FF32	メモリアドレスレジスタ1AH	MAR1AH	R/W	不定
	H'FF33	メモリアドレスレジスタ1AL	MAR1AL	R/W	不定
	H'FF36	I/Oアドレスレジスタ1A	IOAR1A	R/W	不定
	H'FF34	転送カウントレジスタ1AH	ETCR1AH	R/W	不定
	H'FF35	転送カウントレジスタ1AL	ETCR1AL	R/W	不定
	H'FF37	データ転スファ コントロールレジスタ1A	DTCR1A	R/W	H'00
	H'FF38	メモリアドレスレジスタ1BR	MAR1BR	R/W	不定
	H'FF39	メモリアドレスレジスタ1BE	MAR1BE	R/W	不定
	H'FF3A	メモリアドレスレジスタ1BH	MAR1BH	R/W	不定
	H'FF3B	メモリアドレスレジスタ1BL	MAR1BL	R/W	不定
	H'FF3E	I/Oアドレスレジスタ1B	IOAR1B	R/W	不定
	H'FF3C	転送カウントレジスタ1BH	ETCR1BH	R/W	不定
	H'FF3D	転送カウントレジスタ1BL	ETCR1BL	R/W	不定
	H'FF3F	データ転スファ コントロールレジスタ1B	DTCR1B	R/W	H'00

【注】・ アドレスの下位16ビットを示しています。

## 8.2 各レジスタの説明(1) (ショートアドレスモード)

ショートアドレスモード転送は、チャンネルA、B独立に行うことができます。

表 8.4 に示すようにDTCRAのDTS2A、DTS1Aビットにより各チャンネルのショートアドレスモード転送を指定します。

表 8.4 ショートアドレスモード、フルアドレスモードの設定

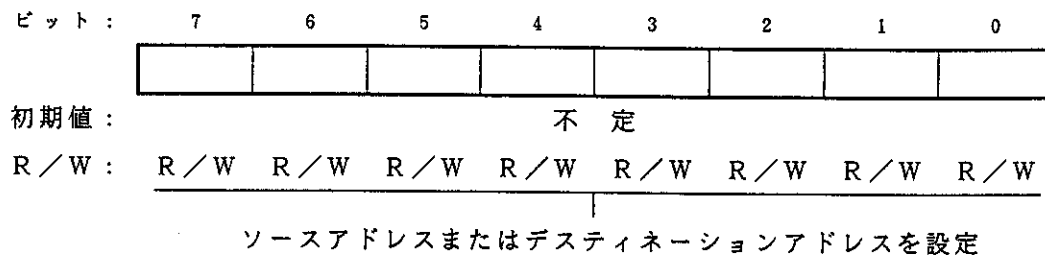
チャンネル	ビット 2	ビット 1	説 明
	DTS2A	DTS1A	
0	1	1	DMACチャンネル0は、1チャンネルのフルアドレスモード転送
	上記以外		DMACチャンネル0A、チャンネル0Bは、各々独立動作で2チャンネルのショートアドレスモード転送
1	1	1	DMACチャンネル1は、1チャンネルのフルアドレスモード転送
	上記以外		DMACチャンネル1A、チャンネル1Bは、各々独立動作で2チャンネルのショートアドレスモード転送





### 8.2.2 I/Oアドレスレジスタ (IOAR)

IOARは8ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。IOARはアドレスの下位8ビットを指定し、上位16ビットはすべて“1”(H'FFFF)となります。



IOARがソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因がSCIチャンネル0の受信完了割込みの場合はソースアドレスレジスタとして、それ以外の場合にはデスティネーションアドレスレジスタとして機能します。

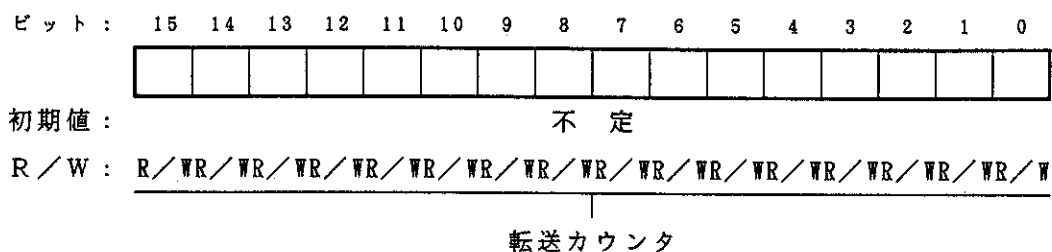
IOARは転送によってインクリメント/デクリメントされず、固定されます。

IOARは、リセット、またはスタンバイモード時にイニシャライズされません。

### 8.2.3 転送カウントレジスタ (ETCR)

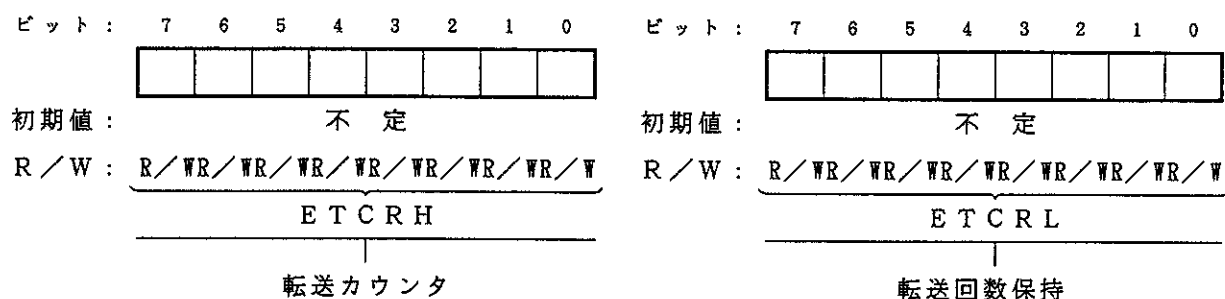
ETCRは16ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、I/Oモードおよびアイドルモードと、リピートモードとでは機能が異なります。

#### (1) I/Oモードまたはアイドルモード



I/Oモードとアイドルモードでは、ETCRは16ビットの転送カウンタとして機能します。1回の転送を行うたびに、1だけデクリメントされカウンタ値がH'0000になると転送を終了します。

#### (2) リピートモード

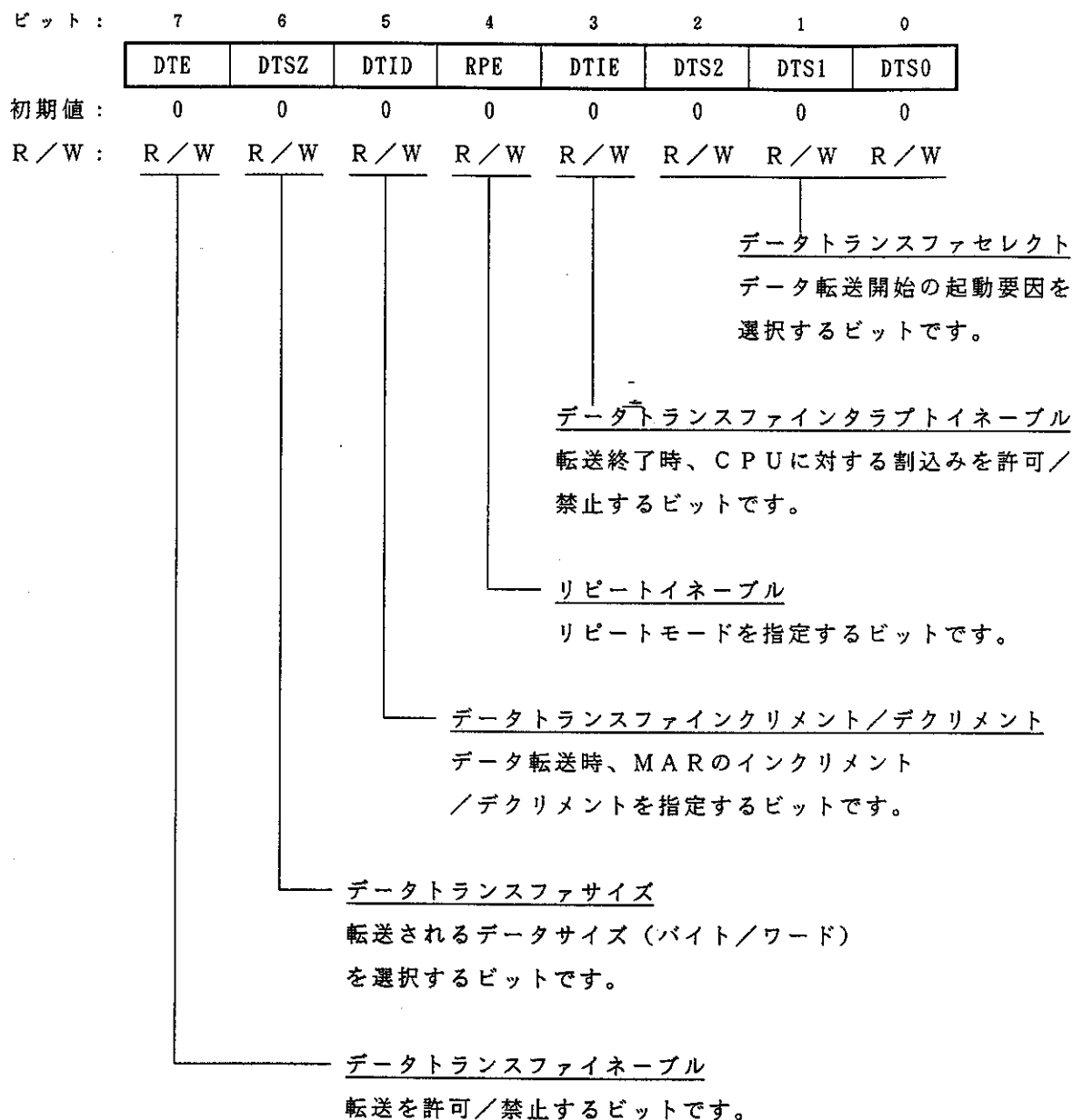


リピートモードでは、ETCRHは8ビットの転送カウンタとして機能し、ETCRLは転送回数を保持します。ETCRHは1回の転送を行うたびに1だけデクリメントされ、H'00になるとETCRLの内容が転送されます。以降この動作を繰り返して転送が行われます。

ETCRは、リセット、またはスタンバイモード時にイニシャライズされません。

#### 8.2.4 データトランスファコントロールレジスタ (DTCR)

DTCRは8ビットのリード/ライト可能なレジスタで、DMACの各チャネルの動作を制御します。



DTCRはリセット、またはスタンバイモード時にH'00にイニシャライズされます。

ビット7：データトランスファイネーブル（DTE）

当該チャネルのデータ転送を許可／禁止します。DTEビットを“1”にセットすると、そのチャネルは転送要求待ち状態となり、DTS2～DTS0ビットで指定された起動要因によりデータ転送が行われます。本ビットが“0”のとき、当該チャネルは停止状態となり転送要求を受け付けません。DTEビットは、DTE＝“0”の状態をリードした後、“1”をライトしたとき“1”にセットされます。

ビット7	説 明
DTE	
0	データ転送禁止。I/Oモードとアイドルモードでは、指定された回数の転送を終了したとき、“0”にクリア (初期値)
1	データ転送許可

DTE＝“1”の状態、本ビットが“0”にクリアされるとCPUに割込みを要求します。

ビット6：データトランスファサイズ（DTSZ）

1回に転送されるデータサイズを選択します。

ビット6	説 明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット5：データトランスファインクリメント／デクリメント（DTID）

I/Oモードまたはリピートモードの場合、データ転送後のMARのインクリメント／デクリメントを選択します。

ビット5	説 明
DTID	
0	データ転送後MARをインクリメント (1) DTSZ＝“0”のとき、転送後MARを＋1 (2) DTSZ＝“1”のとき、転送後MARを＋2
1	データ転送後MARをデクリメント (1) DTSZ＝“0”のとき、転送後MARを－1 (2) DTSZ＝“1”のとき、転送後MARを－2

アイドルモードの場合、MARはインクリメントもデクリメントもされません。

ビット4：リピートイネーブル（RPE）

データ転送をI/Oモード、アイドルモード、またはリピートモードで行うかを選択します。

ビット4	ビット3	説 明
RPE	DTIE	
0	0	I/Oモードで転送 (初期値)
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

I/Oモード、アイドルモード、およびリピートモードの動作については、「8.4.2 I/Oモード」、「8.4.3 アイドルモード」、および「8.4.4 リピートモード」を参照してください。

ビット3：データトランスファインタラプトイネーブル（DTIE）

DTIEビットが“0”にクリアされたとき、DTIEビットによる割込み（DEND）要求を許可／禁止します。

ビット3	説 明
DTIE	
0	DTEによる割込み（DEND）要求を禁止 (初期値)
1	DTEによる割込み（DEND）要求を許可

ビット2～0：データトランスファセレクト（DTS2～DTS0）

データ転送の起動要因を選択します。チャンネルAとチャンネルBでは一部指定内容が異なります。\*

【注】\*「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

ビット2	ビット1	ビット0	説 明
DTS2	DTS1	DTS0	
0	0	0	I T Uチャンネル0のコンペアマッチ／インプットキャプチャA割込みで起動 (初期値)
		1	I T Uチャンネル1のコンペアマッチ／インプットキャプチャA割込みで起動
	1	0	I T Uチャンネル2のコンペアマッチ／インプットキャプチャA割込みで起動
		1	I T Uチャンネル3のコンペアマッチ／インプットキャプチャA割込みで起動
1	0	0	S C Iチャンネル0の送信データ割込みで起動
		1	S C Iチャンネル0の受信データ割込みで起動
	1	0	DREQ端子の立下がりエッジ入力で起動(チャンネルBの場合)
			フルアドレスモード転送を指定(チャンネルAの場合)
		1	DREQ端子の"Low"レベル入力で起動(チャンネルBの場合)
			フルアドレスモード転送を指定(チャンネルAの場合)

内部割込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「8.4.9 DMA C複数チャンネルの動作」を参照してください。

転送許可の状態（DTE = “1”）では、DMA Cの起動要因に選択された割込みは、CPUに対して割込みを要求しません。

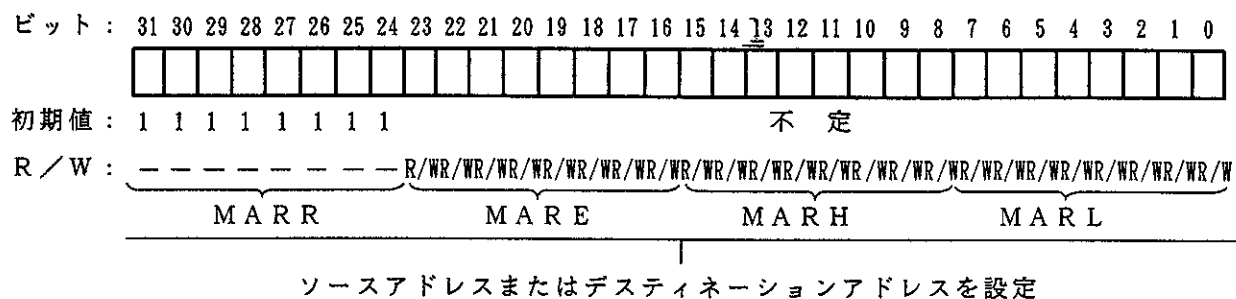
### 8.3 各レジスタの説明(2) (フルアドレスモード)

フルアドレスモード転送は、チャンネルAとチャンネルBを組み合わせて行います。フルアドレスモード転送の設定については、表8.4を参照してください。

#### 8.3.1 メモリアドレスレジスタ (MAR)

MARは32ビットのリード/ライト可能なレジスタで、MARAは転送のソースアドレスレジスタとして、MARBはデスティネーションアドレスレジスタとして機能します。

MARは4本の8ビットレジスタMARR、MARE、MARH、およびMARLにより構成されています。MARRはすべてリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。



MARは1回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「8.3.4 データトランスファコントロールレジスタ (DTCR)」を参照してください。

MARは、リセット、またはスタンバイモード時にイニシャライズされません。



### 8.3.2 I/Oアドレスレジスタ (IOAR)

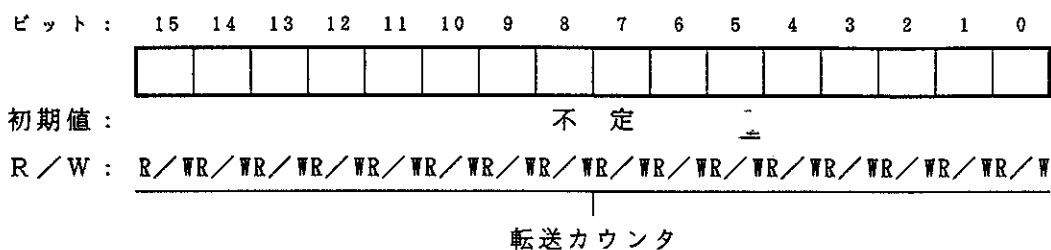
IOARはフルアドレスモード転送では使用しません。

### 8.3.3 転送カウンタレジスタ (ETCR)

ETCRは16ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、ノーマルモードとブロック転送モードとでは機能が異なります。

#### (1) ノーマルモード

##### ① ETCRA



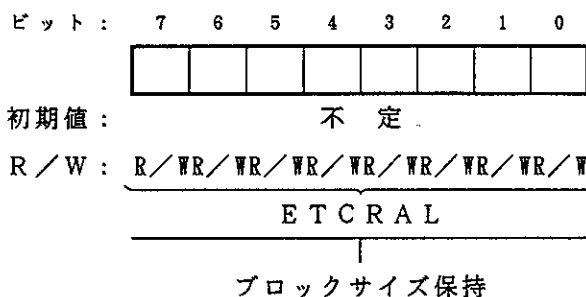
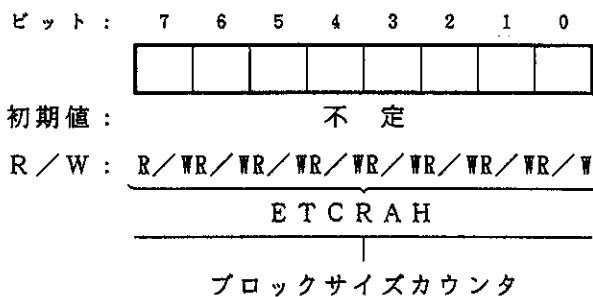
##### ② ETCRB

ETCRBはノーマルモードでは使用しません。

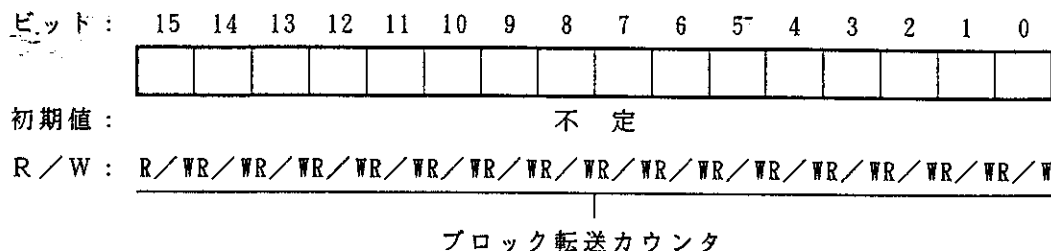
ノーマルモードでは、ETCRAは16ビットの転送カウンタとして機能します。1回の転送を行うたびに1だけデクリメントされ、カウンタ値がH'0000になると転送を終了します。このとき、ETCRBは使用されません。

#### (2) ブロック転送モード

##### ① ETCRA



## ② ETCRB



ブロック転送モードでは、ETCRAHは8ビットのブロックサイズカウンタとして機能し、ETCRAHはブロックサイズを保持します。ETCRAHは、1バイトまたは1ワードの転送を行うたびに1だけデクリメントされ、H'00になるとETCRAHの内容が転送されます。したがって、ETCRAHとETCRAHにブロックサイズを初期設定することにより、任意のバイト数またはワード数のブロック転送を繰り返し行うことができます。

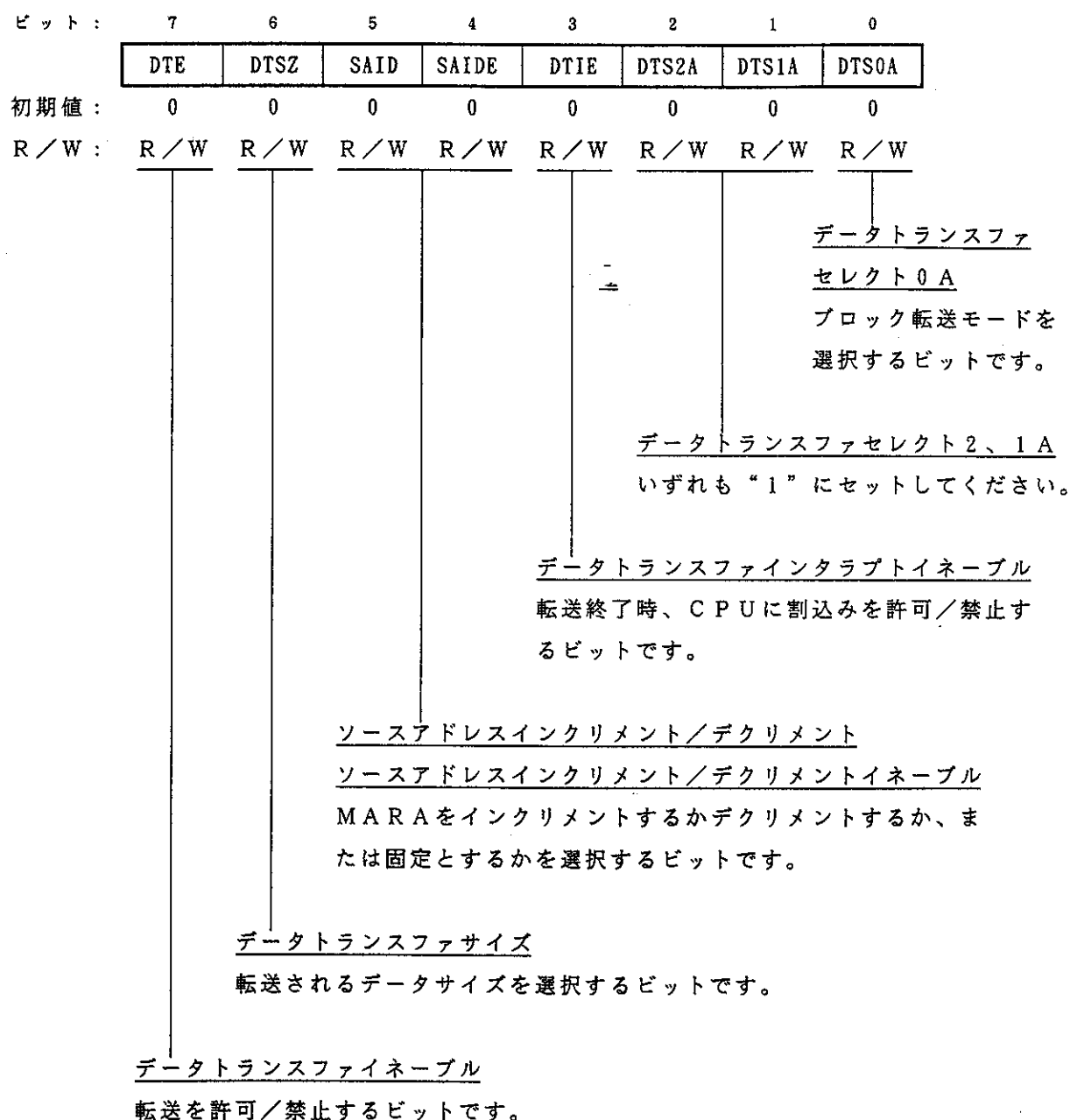
また、ブロック転送モードではETCRBは16ビットのブロック転送カウンタとして機能します。一回のブロック転送を行うたびに1だけデクリメントされ、カウンタ値がH'0000になると転送を終了します。

ETCRは、リセット、またはスタンバイモード時にはイニシャライズされません。

### 8.3.4 データトランスファコントロールレジスタ (DTCR)

DTCRは8ビットのリード/ライト可能なレジスタで、DMACの各チャンネルの動作を制御します。DTCRAのDTS2A、DTS1Aビットをいずれも“1”にセットすると当該チャンネルはフルアドレスモードとなります。フルアドレスモードではDTCRAとDTCRBでは機能が異なります。

#### (1) DTCRA



DTCRAはリセット、またはスタンバイモード時にH'00にイニシャライズされます。

ビット7：データトランスファイネブル（DTE）

DTCRBのDTMEビットとともに当該チャンネルのデータ転送の許可／禁止を制御します。DTMEビットとDTEビットをいずれも“1”にセットすると、そのチャンネルは転送許可状態となります。オートリクエストを指定したときはただちにデータ転送を開始し、その他のときは転送要求待ち状態となります。指定された回数の転送を終了するとDTEビットは自動的に“0”にクリアされます。本ビットが“0”にクリアされているとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTEビットは“0”の状態をリードした後、“1”をライトしたとき“1”にセットされます。

ビット7	説 明
DTE	
0	データ転送禁止（指定された回数の転送を終了したとき“0”にクリア） (初期値)
1	データ転送許可

DTE = “1” の状態で、本ビットが“0”にクリアされるとCPUに割込みを要求します。

ビット6：データトランスファサイズ（DTSZ）

1回に転送されるデータサイズを選択します。

ビット6	説 明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット5：ソースアドレスインクリメント／デクリメント（SAID）

ビット4：ソースアドレスインクリメント／デクリメントイネーブル（SAIDE）

データ転送時、ソースアドレスレジスタMARAをインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説 明
SAID	SAIDE	
0	0	MARA固定 (初期値)
	1	データ転送後MARAをインクリメント (1) DTSZ = “0” のとき、データ転送後MARAを+1 (2) DTSZ = “1” のとき、データ転送後MARAを+2
1	0	MARA固定
	1	データ転送後MARAをデクリメント (1) DTSZ = “0” のとき、データ転送後MARAを-1 (2) DTSZ = “1” のとき、データ転送後MARAを-2

ビット3：データトランスファインタラプティネーブル（DTIE）

DTIEビットが“0”にクリアされたとき、DTEによる割込み（DEND）要求を許可／禁止します。

ビット3	説 明
DTIE	
0	DTEによる割込み（DEND）要求を禁止（初期値）
1	DTEによる割込み（DEND）要求を許可

ビット2、1：データトランスファセレクト2、1A（DTS2A、DTS1A）

DTS2A、DTS1Aビットをいずれも“1”にセットしたとき、当該チャネルはフルアドレスモードとなります。

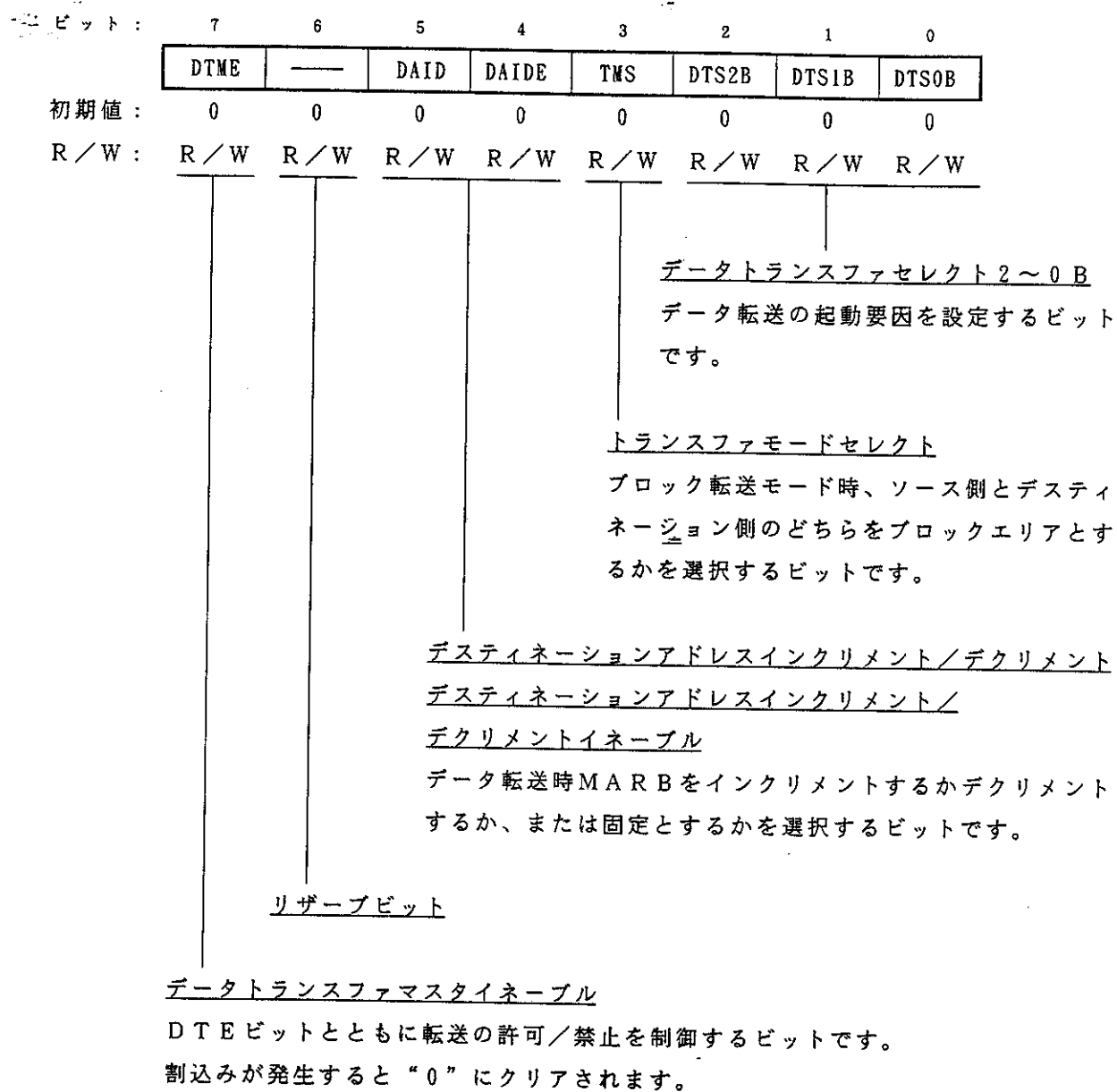
ビット0：データトランスファセレクト0A（DTS0A）

DMACをノーマルモードで動作させるか、ブロック転送モードで動作させるかを選択します。

ビット0	説 明
DTS0A	
0	ノーマルモードで動作（初期値）
1	ブロック転送モードで動作

ノーマルモード、ブロック転送モードの動作については、「8.4.5 ノーマルモード」、「8.4.6 ブロック転送モード」を参照してください。

## (2) DTCRB



DTCRBは、リセット、またはスタンバイモード時に、H'00にイニシャライズされます。

ビット7：データトランスファマスタイネーブル（DTME）

DTCRAのDTEビットとともに当該チャネルのデータ転送の許可／禁止を制御します。DTMEビットとDTEビットをいずれも“1”にセットすると、そのチャネルは転送許可状態となります。NMI割込みが発生したときDTMEビットは“0”にクリアされ、転送を中断してCPUにバス権を移します。その後、本ビットを“1”にセットすると中断された転送が再開されます。ただし、ブロック転送モード時の動作については「8.6.6 NMI割込みとブロック転送モード」を参照してください。

DTMEビットは、DTME = “0”の状態をリードした後、“1”をライトすると“1”にセットされます。

ビット7 DTME	説 明
0	データ転送禁止。NMI割込みが発生したとき“0”にクリア（初期値）
1	データ転送許可

ビット6：リザーブビット

リザーブビットです。リード／ライト可能です。

ビット5：デスティネーションアドレスインクリメント／デクリメント（DAID）

ビット4：デスティネーションアドレスインクリメント／デクリメントイネーブル（DAIDE）

データ転送時、MARBをインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5 DAID	ビット4 DAIDE	説 明
0	0	MARB固定（初期値）
	1	データ転送後MARBをインクリメント (1) DTSZ = “0” のとき、データ転送後MARBを+1 (2) DTSZ = “1” のとき、データ転送後MARBを+2
1	0	MARB固定
	1	データ転送後MARBをデクリメント (1) DTSZ = “0” のとき、データ転送後MARBを-1 (2) DTSZ = “1” のとき、データ転送後MARBを-2

ビット3：トランスファモードセレクト（TMS）

ブロック転送モード時、ソース側とデスティネーション側のどちらをブロックエリアとして転送するかを選択します。

ビット3 TMS	説 明
0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送 (初期値)
1	ブロック転送モード時、ソース側をブロックエリアとして転送

ビット2～0：データトランスファセレクト2～0B（DTS2B～DTS0B）

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。

(ノーマルモード)

ビット2 DTS2B	ビット1 DTS1B	ビット0 DTS0B	説 明
0	0	0	オートリクエスト（バーストモード） (初期値)
		1	使用できません。
	1	0	オートリクエスト（サイクルスチールモード）
		1	使用できません。
1	0	0	使用できません。
		1	使用できません。
	1	0	$\overline{\text{DREQ}}$ 端子の立下がりエッジ入力で起動
		1	$\overline{\text{DREQ}}$ 端子の“Low”レベル入力で起動



(ブロック転送モード)

ビット2	ビット1	ビット0	説 明
D T S 2 B	D T S 1 B	D T S 0 B	
0	0	0	I T Uチャンネル0のコンペアマッチ/インプットキャプチャA割込みで起動 (初期値)
		1	I T Uチャンネル1のコンペアマッチ/インプットキャプチャA割込みで起動
	1	0	I T Uチャンネル2のコンペアマッチ/インプットキャプチャA割込みで起動
		1	I T Uチャンネル3のコンペアマッチ/インプットキャプチャA割込みで起動
1	0	0	使用できません。
		1	使用できません。
	1	0	$\overline{\text{DREQ}}$ 端子の立下がりエッジ入力で起動
		1	使用できません。

内部割込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「8.4.9 DMA C複数チャンネルの動作」を参照してください。

## 8.4 動作説明

### 8.4.1 概要

DMA Cのモード一覧を表8.5に示します。

表 8.5 モード一覧

転送モード		起動要因	備 考
ショート アドレス モード	(1) I/Oモード	I T Uチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み	<ul style="list-style-type: none"> <li>・最大4チャンネルを独立に動作可能</li> <li>・外部リクエストはチャンネルBのみ可能</li> </ul>
	(2)アイドルモード	S C Iチャンネル0の送信データエンプティ/受信データフル割込み	
	(3)リピートモード	外部リクエスト	
フル アドレス モード	(4)ノーマルモード	オートリクエスト	<ul style="list-style-type: none"> <li>・チャンネルA、Bを組み合わせで最大2チャンネルを動作可能</li> <li>・オートリクエストではバーストモード転送/サイクルスチールモード転送の選択可能</li> </ul>
		外部リクエスト	
	(5)ブロック転送モード	I T Uチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み	
		外部リクエスト	

各モードの動作概要を以下に示します。

#### (1) I/Oモード

一回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとCPUに割込みを要求することができます。アドレスの一方は24ビット、他方は8ビットで指定します。転送方向は起動要因により自動的に決定されます。

#### (2) アイドルモード

一回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとCPUに割込みを要求することができます。アドレスの一方は24ビット、他方は8ビットで指定します。アドレスは固定になっています。転送方向は起動要因により自動的に決定されます。

### (3) リピートモード

一回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。  
指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。  
CPUに対して割り込みは要求しません。アドレスの一方は24ビット、他方は8ビットで指定します。  
転送方向は起動要因により自動的に決定されます。

### (4) ノーマルモード

#### ① オートリクエスト

レジスタ設定のみでDMACを起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了するとCPUに割り込みを要求することができます。アドレスはいずれも24ビットで指定します。

- ・ サイクルスチールモード 1バイトまたは1ワード転送ごとにバスを一旦他のバスマスタに解放します。
- ・ バーストモード 他の優先順位の高いバスマスタからのバス権要求がなければ、指定された転送が完了するまでバスを専有して転送を行います。

#### ② 外部リクエスト

一回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとCPUに割り込みを要求することができます。アドレスはいずれも24ビットで指定します。

### (5) ブロック転送モード

一回の転送要求に対して指定されたブロックサイズのブロック転送を行い、これを転送要求のあるごとに指定された回数だけ繰り返します。一回のブロック転送が終了するたびに一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了するとCPUに割り込みを要求することができます。アドレスはいずれも24ビットで指定します。

#### 8.4.2 I/Oモード

I/Oモードは各チャンネル独立に設定可能です。

I/Oモードでは、一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCIチャンネル0の受信データフル割込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

I/Oモード時のレジスタの機能を表8.6に示します。

表 8.6 I/Oモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI0受信データフル割込みによる起動	その他の起動		
<div>23 0</div> <div>MAR</div>	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメント
<div>23 7 0</div> <div>"1"固定 IOAR</div>	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固 定
<div>15 0</div> <div>ETCR</div>	転送カウンタ		転送回数	一回の転送ごとにデクリメント H'0000になると転送終了

#### 《記号説明》

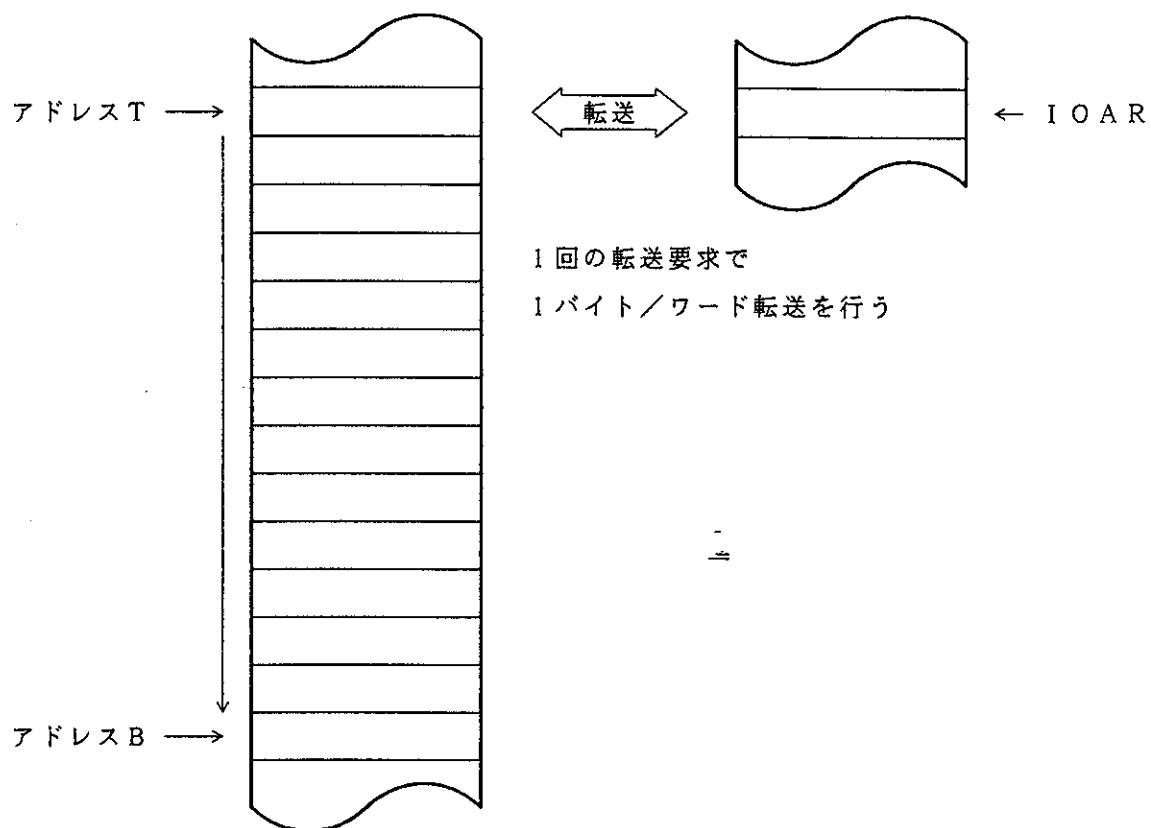
MAR : メモリアドレスレジスタ

IOAR : I/Oアドレスレジスタ

ETCR : 転送カウンタレジスタ

転送元および転送先アドレスは、MARとIOARによって指定します。MARには転送元または転送先の先頭アドレスを24ビットで指定します。MARは1回のバイト転送またはワード転送のたびにインクリメント/デクリメントされます。IOARはアドレス下位8ビットを指定し、上位16ビットは"1"となります。IOARはインクリメントもデクリメントもされません。

図 8.2 に I / O モードの動作を示します。



《記号説明》

$L$  = M A R の初期設定値

$N$  = E T C R の初期設定値

アドレス  $T = L$

アドレス  $B = L + (-1)^{DTID} \cdot (2^{DTSZ} \cdot N - 1)$

図 8.2 I / O モードの動作

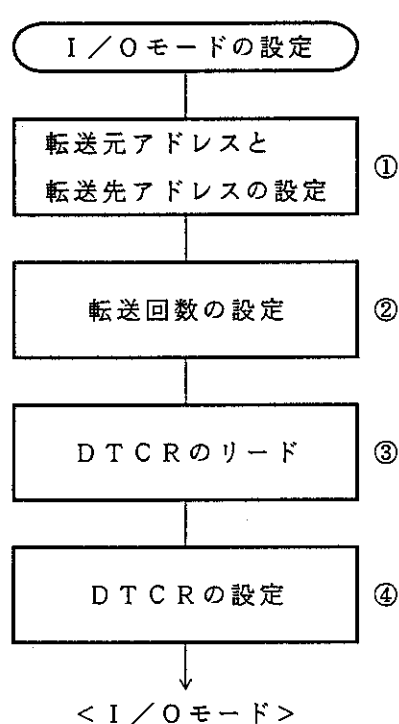
転送回数はE T C Rによって16ビットで指定します。E T C Rは一回の転送を行うたびに1だけデクリメントされ、H'0000となったときにD T Eビットをクリアして転送を終了します。このとき、D T I Eビットが“1”にセットされているとC P Uに割込みを要求します。

なお、転送回数の最大値はE T C RにH'0000を設定したときで、65536となります。

転送要求（起動要因）には、I T Uチャンネル0～3のコンペアマッチ／インプットキャプチャA割込み、S C Iチャンネル0の送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（D T C R）」を参照してください。

I / Oモードの設定手順例を図8.3に示します。



- ① 転送元アドレスと転送先アドレスをMARとI O A Rに設定してください。転送方向は起動要因により自動的に決定されます。
- ② 転送回数をE T C Rに設定してください。
- ③ D T C RのD T E = “0”の状態をリードしてください。
- ④ D T C Rの各ビットを設定してください。
  - ・D T S 2～D T S 0ビットでD M A C起動要因を選択してください。
  - ・D T I Eビットにより、転送終了時のC P Uに対する割込みの許可／禁止を設定してください。
  - ・R P Eビットを“0”にクリアしてI / Oモードに設定してください。
  - ・D T I Dビットにより、MARをインクリメントするかデクリメントするかを設定してください。
  - ・D T S Zビットにより、転送データサイズを設定してください。
  - ・D T Eビットを“1”にセットして、転送許可状態としてください。

図8.3 I / Oモードの設定手順例

### 8.4.3 アイドルモード

アイドルモードは各チャネル独立に設定可能です。

アイドルモードでは、一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCIチャネル0の受信データフル割込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

アイドルモード時のレジスタの機能を表8.7に示します。

表 8.7 アイドルモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI0受信データフル割込みによる起動	その他の起動		
23 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">MAR</div>	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元のアドレス	固 定
23 7 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> <div style="border-right: 1px solid black; padding: 0 10px;">"1" 固定</div> <div style="padding: 0 10px;">IOAR</div> </div>	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固 定
15 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">ETCR</div>	転送カウンタ		転送回数	一回の転送ごとにデクリメント H'0000になると転送終了

#### 《記号説明》

MAR : メモリアドレスレジスタ

IOAR : I/Oアドレスレジスタ

ETCR : 転送カウントレジスタ

転送元および転送先アドレスは、MARとIOARによって指定します。MARには転送元または転送先のアドレスを24ビットで指定します。IOARはアドレス下位8ビットを指定し、上位16ビットは"1"となります。MAR、IOARはインクリメントもデクリメントもされません。

図 8. 4 にアイドルモードの動作を示します。

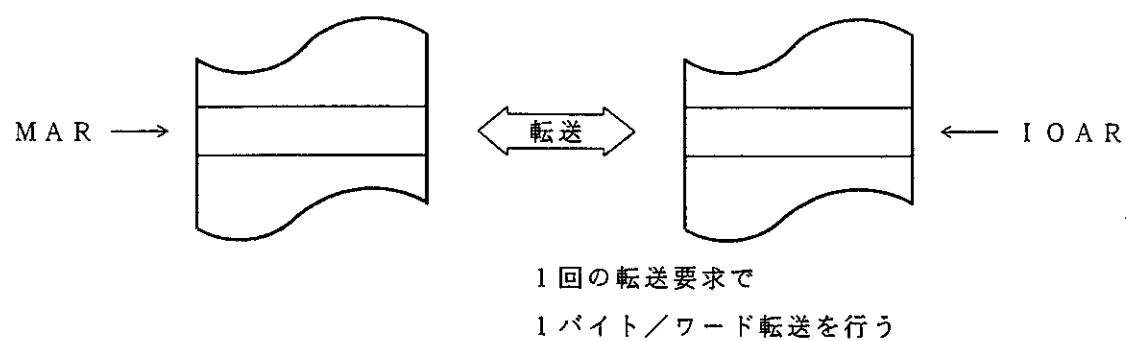


図 8. 4 アイドルモードの動作



転送回数はE T C Rによって16ビットで指定します。E T C Rは一回の転送を行うたびに1だけデクリメントされ、H' 0000となったときにD T Eビットをクリアして転送を終了します。このとき、C P Uに割込みを要求します。

なお、転送回数の最大値はE T C RにH' 0000を設定したときで、65536となります。

転送要求（起動要因）には、I T Uチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み、S C Iチャンネル0の送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（D T C R）」を参照してください。

アイドルモードの設定手順例を図8.5に示します。

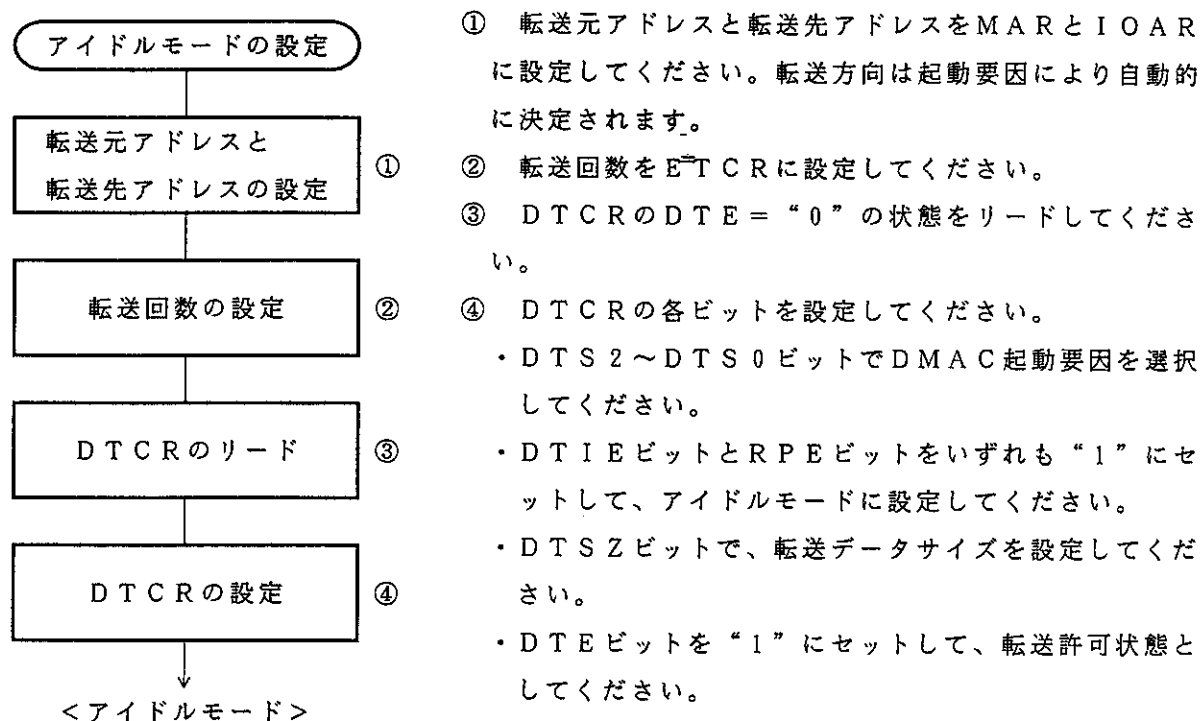


図 8.5 アイドルモードの設定手順例

#### 8.4.4 リピートモード

リピートモードはITUのコンペアマッチなどに同期して、テーブル上のデータをプログラマブルタイミングパターンコントローラ（TPC）に対して繰り返し転送するのに便利なモードです。各チャンネル独立に設定可能です。

リピートモードでは、I/Oモードと同様に一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。指定された回数の転送終了時、MAR、およびETCRHの内容が初期設定値となり、さらに動作を継続します。転送方向は起動要因によって自動的に決定され、SCIチャンネル0の受信データフル割込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

リピートモード時のレジスタの機能を表8.8に示します。

表 8.8 リピートモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI 0 受信データフル割込みによる起動	その他の起動		
<div style="display: flex; justify-content: space-between;"> <span>23</span> <span>0</span> </div> <div style="border: 1px solid black; padding: 5px; margin: 5px auto; width: 150px;"> <div style="border: 1px solid black; width: 100%; height: 15px; position: relative;"> <span style="position: absolute; left: 0; top: -10px;">23</span> <span style="position: absolute; right: 0; top: -10px;">0</span> <div style="position: absolute; left: 50%; transform: translateX(-50%);">MAR</div> </div> </div>	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメント ETCRHがH'0000になると初期設定値を回復
<div style="display: flex; justify-content: space-between;"> <span>23</span> <span>7</span> <span>0</span> </div> <div style="border: 1px solid black; padding: 5px; margin: 5px auto; width: 150px;"> <div style="border: 1px solid black; width: 100%; height: 15px; position: relative;"> <span style="position: absolute; left: 0; top: -10px;">23</span> <span style="position: absolute; right: 0; top: -10px;">0</span> <div style="position: absolute; left: 10%; transform: translateX(-10%);">"1" 固定</div> <div style="position: absolute; right: 0; transform: translateX(0%);">IOAR</div> </div> </div>	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固 定
<div style="display: flex; justify-content: space-between;"> <span></span> <span>7</span> <span>0</span> </div> <div style="border: 1px solid black; padding: 5px; margin: 5px auto; width: 100px;"> <div style="border: 1px solid black; width: 100%; height: 15px; position: relative;"> <span style="position: absolute; left: 0; top: -10px;">7</span> <span style="position: absolute; right: 0; top: -10px;">0</span> <div style="position: absolute; left: 50%; transform: translateX(-50%);">ETCRH</div> </div> </div>	転送カウンタ		転送回数	一回の転送ごとにデクリメント H'0000になるとETCRLの内容を格納
<div style="display: flex; justify-content: space-between;"> <span></span> <span>7</span> <span>0</span> </div> <div style="border: 1px solid black; padding: 5px; margin: 5px auto; width: 100px;"> <div style="border: 1px solid black; width: 100%; height: 15px; position: relative;"> <span style="position: absolute; left: 0; top: -10px;">7</span> <span style="position: absolute; right: 0; top: -10px;">0</span> <div style="position: absolute; left: 50%; transform: translateX(-50%);">ETCRL</div> </div> </div>	転送回数保持		転送回数	固 定

#### 《記号説明》

MAR : メモリアドレスレジスタ

IOAR : I/Oアドレスレジスタ

ETCR : 転送カウントレジスタ

リピートモードではETCRHを転送カウンタとし、ETCRLは転送回数保持に使用します。ETCRHは1回の転送を行うたびに1だけデクリメントされ、H'00になるとETCRLの値が格納されます。また、MARはDTCRのDTSZビットおよびDTIDビットの値に応じて初期設定値を回復します。このときのMARの動作は次のようになります。

$$MAR \leftarrow MAR - (-1)^{DTID} \cdot 2^{DTSZ} \cdot ETCRL$$

ETCRHとETCRLには同じ値を初期設定してください。

リピートモードではCPUがDTEビットを“0”にクリアするまで転送を繰り返します。DTEビットを“0”にクリアした後、CPUがDTEビットを“1”にセットすると、クリアした時点の状態から転送を再開します。CPUに対して割込み要求は発生しません。

転送元および転送先アドレスは、I/Oモードと同様、MARとIOARによって指定します。MARには転送元または転送先の先頭アドレスを24ビットで指定します。IOARにはアドレス下位8ビットを指定し、上位16ビットは“1”となります。IOARは転送によりインクリメントもデクリメントもされません。

図8.6にリピートモードの動作を示します。

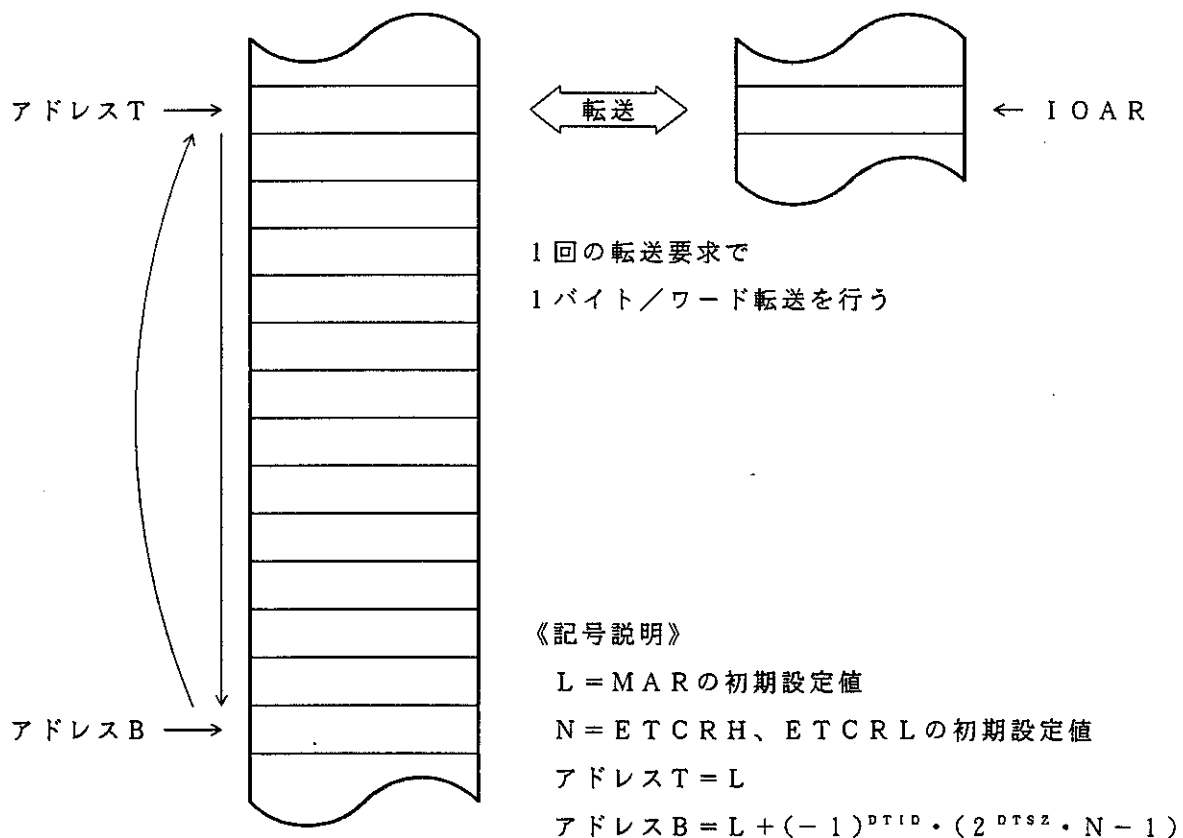


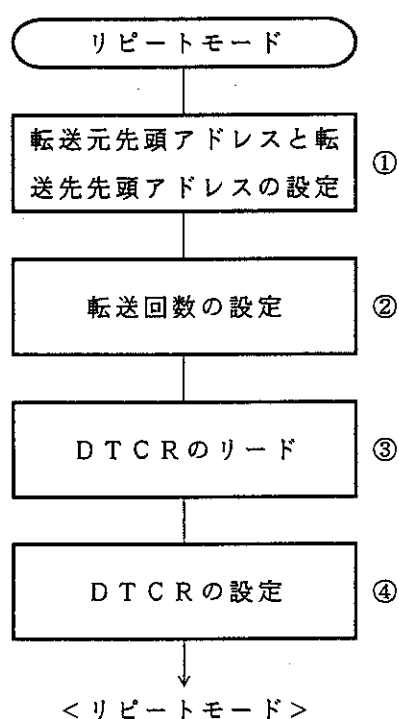
図8.6 リピートモードの動作

転送回数はETCRH、ETCRLに8ビットで指定します。転送回数の最大値はETCRH、ETCRLにそれぞれH'FFを設定したときで、255となります。

転送要求（起動要因）には、ITUチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み、SCIチャンネル0の送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

リピートモードの設定手順例を図8.7に示します。



- ① 転送元先頭アドレスと転送先先頭アドレスをMARとIOARに設定してください。転送方向は起動要因により自動的に決定されます。
- ② 転送回数をETCRHとETCRLの両方に設定してください。
- ③ DTCRのDTE = “0”の状態をリードしてください。
- ④ DTCRの各ビットを設定してください。
  - ・DTS2～DTS0ビットによりDMAC起動要因を選択してください。
  - ・DTIEビットを“0”にクリア、RPEビットを“1”にセットしてリピートモードに設定してください。
  - ・DTIDビットにより、MARをインクリメントするかデクリメントするかを設定してください。
  - ・DTSZビットにより、転送データサイズを設定してください。
  - ・DTEビットを“1”にセットして、転送許可状態としてください。

図8.7 リピートモードの設定手順例

#### 8.4.5 ノーマルモード

ノーマルモードは、チャネルA、Bを組み合わせで転送を行います。

ノーマルモードでは、一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスはMARA、MARBで指定します。

ノーマルモード時のレジスタの機能を表8.9に示します。

表 8.9 ノーマルモード時のレジスタの機能

対象レジスタ	機 能	初期設定値	動 作
<div style="text-align: center;">23<span style="float: right;">0</span></div> <div style="border: 1px solid black; padding: 5px; margin: 5px auto; width: 150px;"> <div style="border-left: 1px dashed black; border-right: 1px dashed black; padding: 0 10px;">MARA</div> </div>	ソースアドレスレジスタ	転送元先頭 アドレス	1回の転送ごとにインクリメントまたはデクリメントは固定
<div style="text-align: center;">23<span style="float: right;">0</span></div> <div style="border: 1px solid black; padding: 5px; margin: 5px auto; width: 150px;"> <div style="border-left: 1px dashed black; border-right: 1px dashed black; padding: 0 10px;">MARB</div> </div>	デスティネーション アドレスレジスタ	転送先先頭 アドレス	1回の転送ごとにインクリメントまたはデクリメントは固定
<div style="text-align: center;">15<span style="float: right;">0</span></div> <div style="border: 1px solid black; padding: 5px; margin: 5px auto; width: 100px;"> <div style="border-left: 1px dashed black; border-right: 1px dashed black; padding: 0 10px;">ETCRA</div> </div>	転送カウンタ	転送回数	1回の転送ごとにデクリメント

#### 《記号説明》

MARA : メモリアドレスレジスタA

MARB : メモリアドレスレジスタB

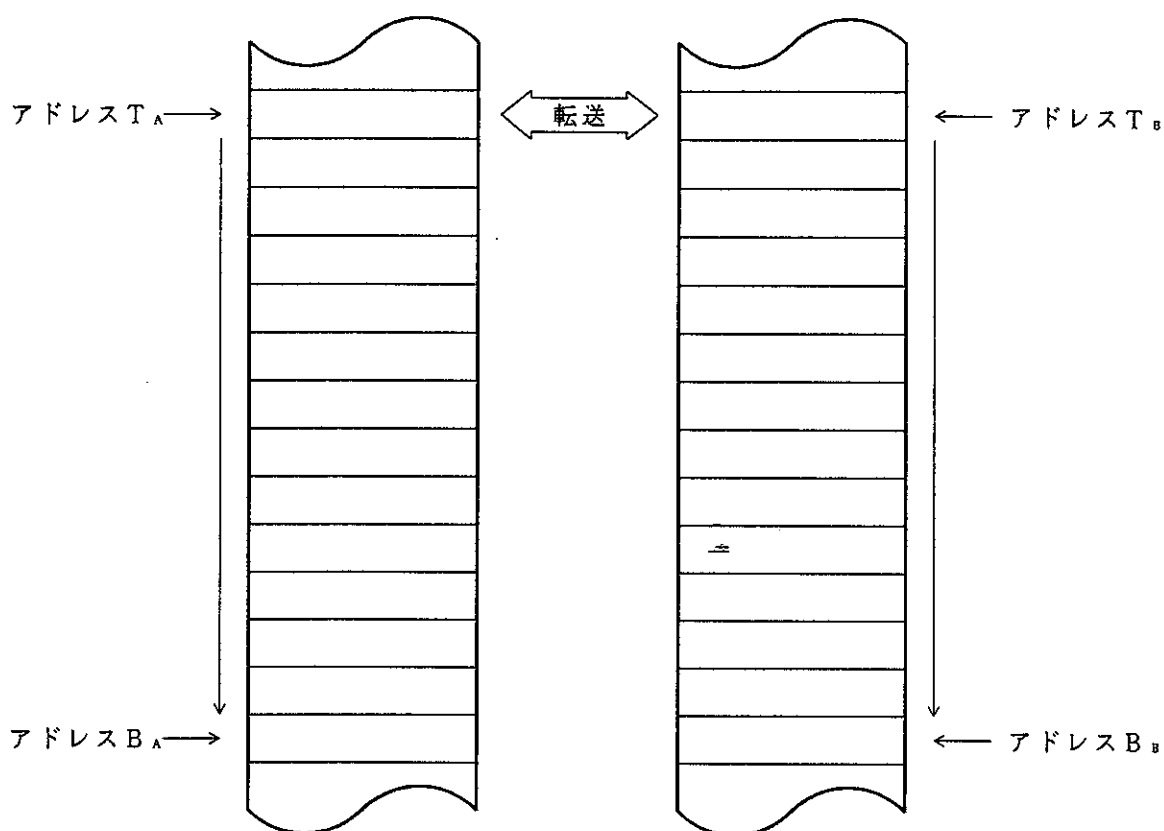
ETCRA : 転送カウンタレジスタA

転送元および転送先アドレスはともに24ビットで指定し、MARAがソースアドレスレジスタ、MARBがデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御はMARA、MARB独立に行うことができます。

転送回数はETCRAによって16ビットで指定します。転送を行うたびに1だけデクリメントされ、H'0000となったときにDTEビットをクリアして転送を終了します。このとき、DTIEビットが“1”にセットされているとCPUに割り込みを要求します。

なお、転送回数の最大値はETCRAにH'0000を設定したときで、65536となります。

図 8. 8 にノーマルモードの動作を示します。



《記号説明》

$L_A$  = MAR A の初期設定値

$L_B$  = MAR B の初期設定値

$N$  = ETCRA の初期設定値

$T_A = L_A$

$B_A = L_A + SAIDE \cdot (-1)^{SAID} \cdot (2^{DTSZ} \cdot N - 1)$

$T_B = L_B$

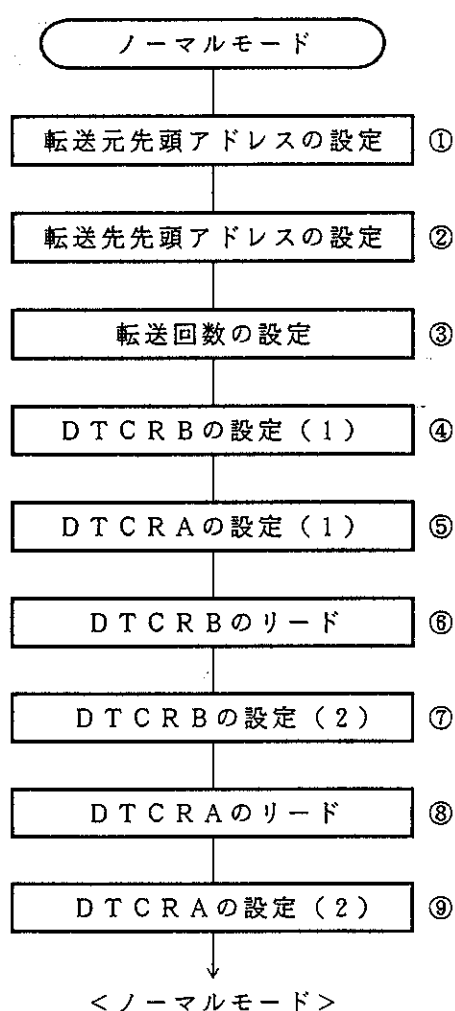
$B_B = L_B + DAIDE \cdot (-1)^{DAID} \cdot (2^{DTSZ} \cdot N - 1)$

図 8. 8 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的行います。オートリクエスト時にはサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードではDMACは1回の転送を行うたびにバスを一旦解放します。バーストモードでは、より優先順位の高いバスマスタからのバス権要求がないかぎり転送終了までバスを占有し続けます。

設定の詳細は「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

ノーマルモードの設定手順例を図 8.9 に示します。



- ① 転送元先頭アドレスを MARA に設定してください。
- ② 転送先先頭アドレスを MARB に設定してください。
- ③ 転送回数を ETCRA に設定してください。
- ④ DTCRB の各ビットを設定してください。
  - ・ DTME ビットを “0” にクリアしてください。
  - ・ DAID ビット、DAIDE ビットにより MARB をインクリメント／デクリメント／固定のいずれかに設定してください。
  - ・ DTS2B～DTS0B ビットで DMAC 起動要因を選択してください。
- ⑤ DTCRA の各ビットを設定してください。
  - ・ DTE ビットを “0” にクリアしてください。
  - ・ DTSZ ビットで転送データサイズを設定してください。
  - ・ SAID ビット、SAIDE ビットで MARA をインクリメント／デクリメント／固定のいずれかに設定してください。
  - ・ DTIE ビットで転送終了時の CPU に対する割込みの許可／禁止を設定してください。
  - ・ DTS0A ビットを “0” にクリアし、DTS2A、DTS1A ビットをいずれも “1” にセットしてノーマルモードを選択してください。
- ⑥ DTCRB の DTME = “0” の状態をリードしてください。
- ⑦ DTCRB の DTME ビットを “1” にセットしてください。
- ⑧ DTCRA の DTE = “0” の状態をリードしてください。
- ⑨ DTCRA の DTE ビットを “1” にセットして、転送許可状態にしてください。

【注】 ①～⑨の設定は、DEND 割込みを CPU 側でマスクした状態で行ってください。また、設定中に NMI 割込みが入力されると、DTME ビットが “0” にクリアされ起動されない場合があります。

図 8.9 ノーマルモードの設定手順例

#### 8.4.6 ブロック転送モード

ブロック転送モードは、チャンネルA、Bを組み合わせて転送を行います。

ブロック転送モードでは、一回の転送要求に対して、指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。アドレスはMARA、MARBで指定します。ブロックエリア側のアドレスは固定とするか、連続したアドレスとするかを選択できます。

ブロック転送モード時のレジスタの機能を表8.10に示します。

表 8.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機 能	初期設定値	動 作
<div style="text-align: center;">           23 <span style="float: right;">0</span>  <div style="border: 1px solid black; padding: 2px; display: inline-block;">MARA</div> </div>	ソースアドレスレジスタ	転送元先頭 アドレス	1回の転送ごとにインクリメント/デクリメントまたは固定
<div style="text-align: center;">           23 <span style="float: right;">0</span>  <div style="border: 1px solid black; padding: 2px; display: inline-block;">MARB</div> </div>	デスティネーション アドレスレジスタ	転送先先頭 アドレス	1回の転送ごとにインクリメント/デクリメントまたは固定
<div style="text-align: center;">           7 <span style="float: right;">0</span>  <div style="border: 1px solid black; padding: 2px; display: inline-block;">ETCRAH</div>  <div style="font-size: 2em; margin: 5px 0;">↑</div> <div style="text-align: center;">             7 <span style="float: right;">0</span>  <div style="border: 1px solid black; padding: 2px; display: inline-block;">ETCRAL</div> </div> </div>	ブロックサイズカウンタ	ブロックサイ ズ	1回の転送ごとにデクリメントまたはH'00の値を格納
<div style="text-align: center;">           7 <span style="float: right;">0</span>  <div style="border: 1px solid black; padding: 2px; display: inline-block;">ETCRAL</div> </div>	ブロックサイズ保持	ブロックサイ ズ	固 定
<div style="text-align: center;">           15 <span style="float: right;">0</span>  <div style="border: 1px solid black; padding: 2px; display: inline-block;">ETCRB</div> </div>	ブロック転送カウンタ	ブロック転送 回数	ブロック転送ごとにデクリメント H'0000になると転送を終了

#### 《記号説明》

MARA : メモリアドレスレジスタA

MARB : メモリアドレスレジスタB

ETCRA : 転送カウントレジスタA

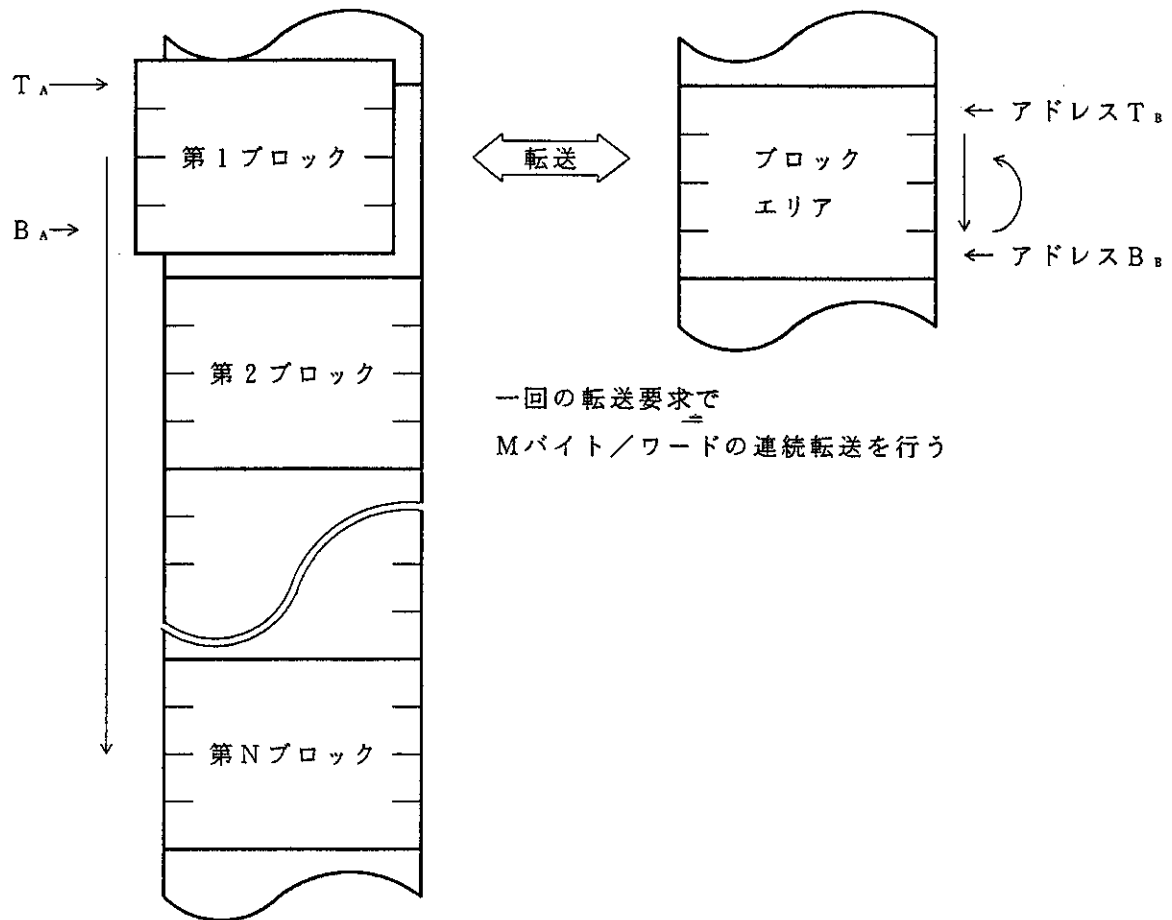
ETCRB : 転送カウントレジスタB

転送元および転送先アドレスはともに24ビットで指定し、MARAがソースアドレスレジスタ、MARBがデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は、MARA、MARB独立に行うことができます。ブロックエリアを指定するMARは、インクリメント/デクリメントを指定した場合でも一回のブロック転送を終了するたびに初期設定値に戻ります。ソースアドレスとデスティネーションアドレスのどちらをブロックエリアとみなすかはETCRBのTMSビットにより指定します。



一回の転送要求で転送するブロックサイズをM (M = 1 ~ 255) とし、N回 (N = 1 ~ 65,536) の転送を行うとき、ETCRAHとETCRA LにそれぞれMを、ETCRBにNを設定します。

図 8.10にブロック転送モードの動作を示します。TMSビットを“0”にクリアして、デスティネーションアドレスをブロックエリアとした場合の例です。



#### 《記号説明》

$L_A$  = MAR A の初期設定値

$L_B$  = MAR B の初期設定値

$M$  = ETCRAH、ETCRA L の初期設定値

$N$  = ETCRB の初期設定値

$T_A = L_A$

$B_A = L_A + SAIDE \cdot (-1)^{SAID} \cdot (2^{DTSZ} \cdot M - 1)$

$T_B = L_B$

$B_B = L_B + DAIDE \cdot (-1)^{DAID} \cdot (2^{DTSZ} \cdot M - 1)$

図 8.10 ブロック転送モードの動作

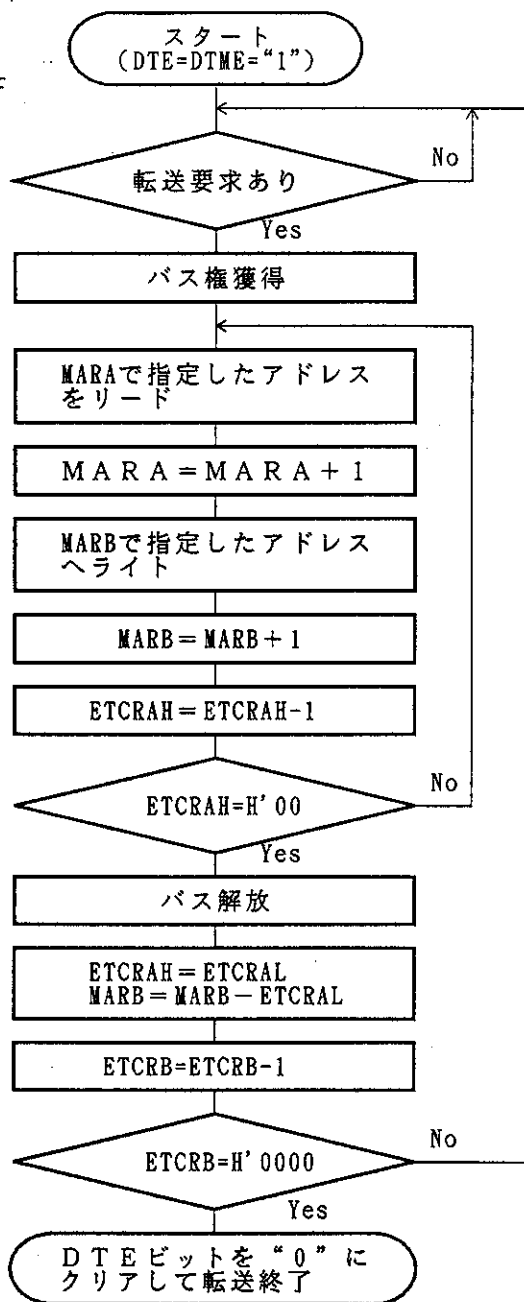
転送要求によってDMACが起動されるとバースト転送を行います。この間、MARA、MARBともDTCRの設定に従い更新され、ETCRAHをデクリメントします。ETCRAHがH'00になると、ETCRAHはETCRAHの値が格納され初期設定値に戻ります。同時にブロックエリア側のMARも初期設定値に戻り、ETCRBをデクリメントしてH'0000でなければ次の転送要求待ちとなります。ETCRAHとETCRAHには同じ値を初期設定してください。

この動作を繰り返してETCRBの値がH'0000となったとき、DTEビットを“0”にクリアして転送を終了します。このときDTIEビットが“1”にセットされているとCPUに対して割り込みを要求します。

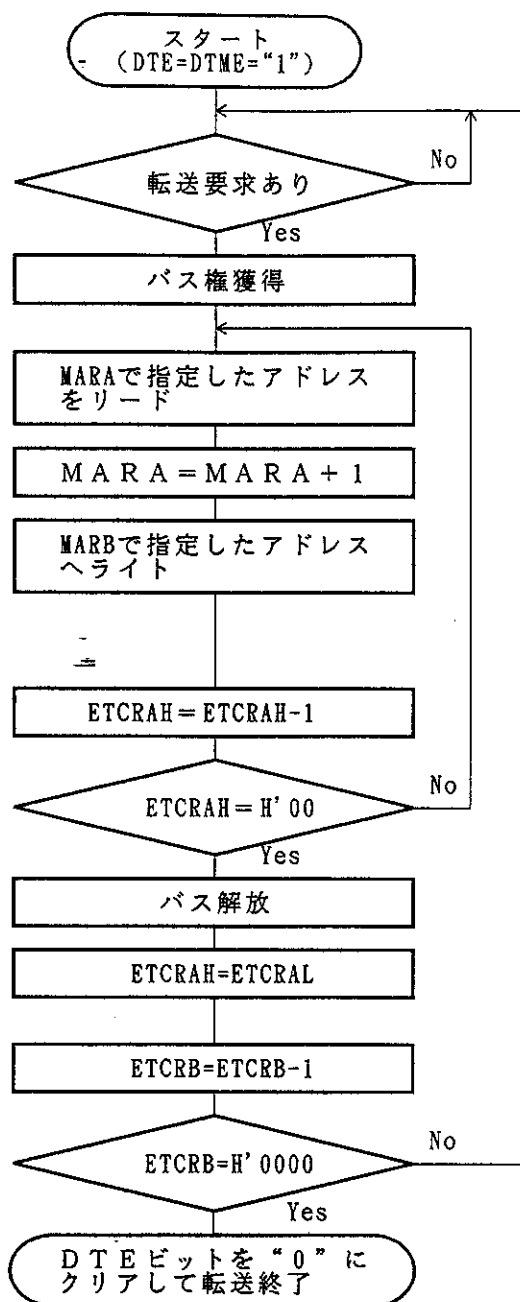
デスティネーションアドレスをブロックエリアとしてバイト単位でブロック転送する場合のDMACの動作フロー例を図8.11に示します。(a)はブロックエリアのアドレスが連続する場合、(b)はブロックエリアのアドレス固定の場合を示します。

転送要求（起動要因）には、ITUチャンネル0～3コンペアマッチ/インプットキャプチャA割り込みと外部リクエストがあります。

設定の詳細は「8.3.4 データ転送ファコントロールレジスタ（DTCR）」を参照してください。



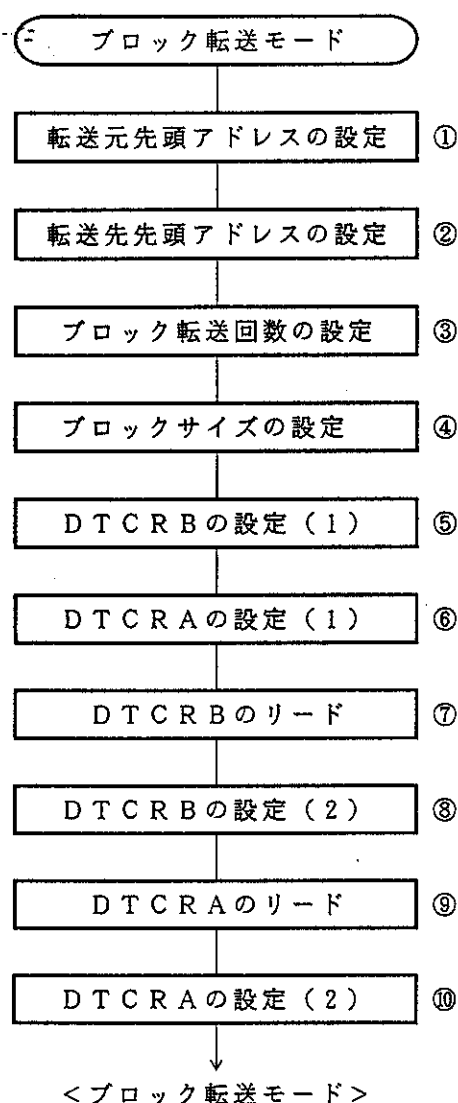
- (a) DTSZ = TMS = "0"、  
SAID = DAID = "0"、  
SAIDE = DAIDE = "1" の場合



- (b) DTSZ = TMS = "0"、  
SAID = "0"、  
SAIDE = "1"、  
DAIDE = "0" の場合

図 8.11 ブロック転送モードの動作フロー例

ブロック転送モードの設定手順例を図 8.12 に示します。



- ① 転送元先頭アドレスを MARA に設定してください。
- ② 転送先先頭アドレスを MARB に設定してください。
- ③ ブロック転送回数を ETCRB に設定してください。
- ④ ブロックサイズ (バイト/ワード数) を ETCRAH と ETCRAL の両方に設定してください。
- ⑤ DTCRB の各ビットを設定してください。
  - ・ DTME ビットを “0” にクリアしてください。
  - ・ DAID ビット、DAIDE ビットで MARB をインクリメント/デクリメント/固定のいずれかに設定してください。
  - ・ TMS ビットで、ソース側とデスティネーション側のどちらをブロックエリアとするかを設定してください。
  - ・ DTS2B ~ DTS0B ビットで DMAC 起動要因を選択してください。
- ⑥ DTCRA の各ビットを設定してください。
  - ・ DTE ビットを “0” にクリアしてください。
  - ・ DTSZ ビットで転送データサイズを設定してください。
  - ・ SAID ビット、SAIDE ビットで MARA をインクリメント/デクリメント/固定のいずれかに設定してください。
  - ・ DTIE ビットで転送終了時の CPU に対する割込みの許可/禁止を設定してください。
  - ・ DTS2A ~ DTS0A ビットをいずれも “1” にセットしてブロック転送モードを選択してください。
- ⑦ DTCRB の DTME = “0” の状態をリードしてください。
- ⑧ DTCRB の DTME ビットを “1” にセットしてください。
- ⑨ DTCRA の DTE = “0” の状態をリードしてください。
- ⑩ DTCRA の DTE ビットを “1” にセットして、転送許可状態にしてください。

【注】 ①～⑩の設定は、DEND 割込みを CPU 側でマスクした状態で行ってください。また、設定中に NMI 割込みが入力されると、DTME ビットが “0” にクリアされ起動されない場合があります。

図 8.12 ブロック転送モードの設定手順例

#### 8.4.7 DMA Cの起動要因

DMA Cの起動要因には、内部割込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャネルにより指定できる要因が表 8.11に示すように異なります。

表 8.11 DMA Cの起動要因

起 動 要 因		ショートアドレスモード		フルアドレスモード	
		チャネル 0A, 1A	チャネル 0B, 1B	ノーマル	ブロック
内部 割込み	I M I A 0	○		×	○
	I M I A 1	○		×	○
	I M I A 2	○		×	○
	I M I A 3	○		×	○
	T X I 0	○		×	×
	R X I 0	○		×	×
外部 リクエスト	DREQ端子の立下がり	×	○	○	○
	DREQ端子の“Low” レベル入力	×	○	○	×
オートリクエスト		×		○	×

##### (1) 内部割込みによる起動

DMA Cの起動要因として選択された割込み要求は、DTE = “1”の状態ではCPUに対しては要求されません。したがって、起動要因として使用している割込みで同時にCPUに割込みを発生させることはできません。

割込み要求によりDMA Cが起動されると、割込み要求フラグは自動的にクリアされます。複数のチャネルで同一の割込みを起動要因として指定した場合、最初に最も優先順位の高いチャネルが起動された時点で割込み要求フラグがクリアされます。その他のチャネルの転送要求はDMA C内部で保持されて、優先順位に従って起動されます。

## (2) 外部リクエストによる起動

起動要因として外部リクエスト（DREQ端子）を指定した場合は、該当するDREQ端子とTEND端子が対応するポートのデータディレクションレジスタ（DDR）の設定にかかわらず、それぞれ入力端子、出力端子になります。

DREQ端子入力にはレベルセンスとエッジセンスがあります。

ショートアドレスモードとノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合はDREQ端子入力の“High”レベルから“Low”レベルへの変化を検出するたびに、1バイトまたは1ワードの転送を行います。転送完了前に次のエッジが入力された場合は次の転送が行われない場合があります。

レベルセンスを選択した場合はDREQ端子が“Low”レベルに保持されている間は、転送終了まで転送を続けます。ただし、1バイトまたは1ワードの転送を行うたびに一旦バスを解放します。転送の途中でDREQ端子入力が“High”レベルとなった場合、転送中の1バイトまたは1ワードを転送した時点で転送を中断します。なお、DREQ端子を“Low”レベルにすると、起動要因は1バイトまたは1ワードの転送が行われるまで内部で保持されています。

TEND端子は最後の転送のライトサイクル中“Low”レベルとなります。

ブロック転送モード時の外部リクエスト動作は次のようになります。

ブロック転送モードはエッジセンスの転送要求のみ可能です。DREQ端子入力の“High”レベルから“Low”レベルへの変化を検出するたびに、指定された1ブロックを転送します。

TEND端子は1ブロック転送の最後のライトサイクル中“Low”レベルとなります。

## (3) オートリクエストのよる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで継続して転送を行います。

サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMACは1バイトまたは1ワードの転送を行うたびにバスを一旦解放しますので、通常、DMACサイクルとCPUサイクルが交互に繰り返されます。

バーストモードでは、より優先順位の高いバス権要求がないかぎり転送終了までバスを占有し続けます。優先順位の高いバス権要求があった場合は、転送中の1バイトまたは1ワードを転送した時点でバスを解放します。

#### 8.4.8 DMACのバスサイクル

DMAの基本的なバスサイクルのタイミング例を図8.13に示します。この例はワードサイズで16ビット2ステートアクセス空間から8ビット3ステートアクセス空間へ転送する場合の例です。CPUからDMACにバス権が移ると、1サイクルのデッドサイクル( $T_d$ )の後、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMACサイクルはCPUサイクルと同様、バスコントローラの設定にしています。

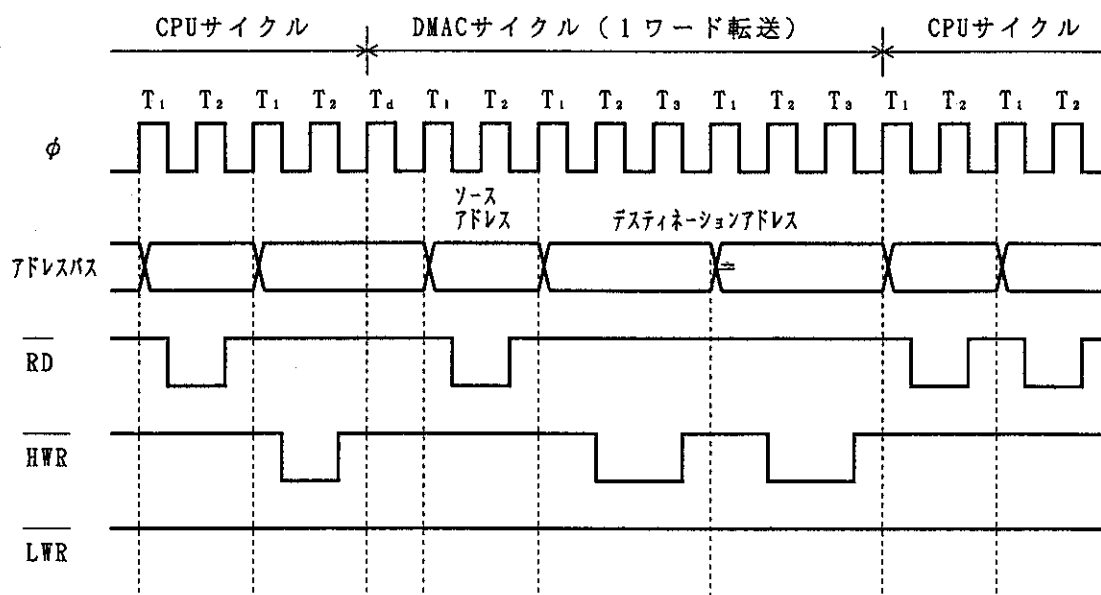


図 8.13 DMA 転送バスタイミング例

DREQ端子“Low”レベルでDMA Cを起動した場合のタイミングを図8.14に示します。ワードサイズで16ビット2ステートアクセス空間から16ビット2ステートアクセス空間へ転送する場合の例です。DREQ端子が“Low”レベルに保持されている間、DMA Cは転送を継続します。

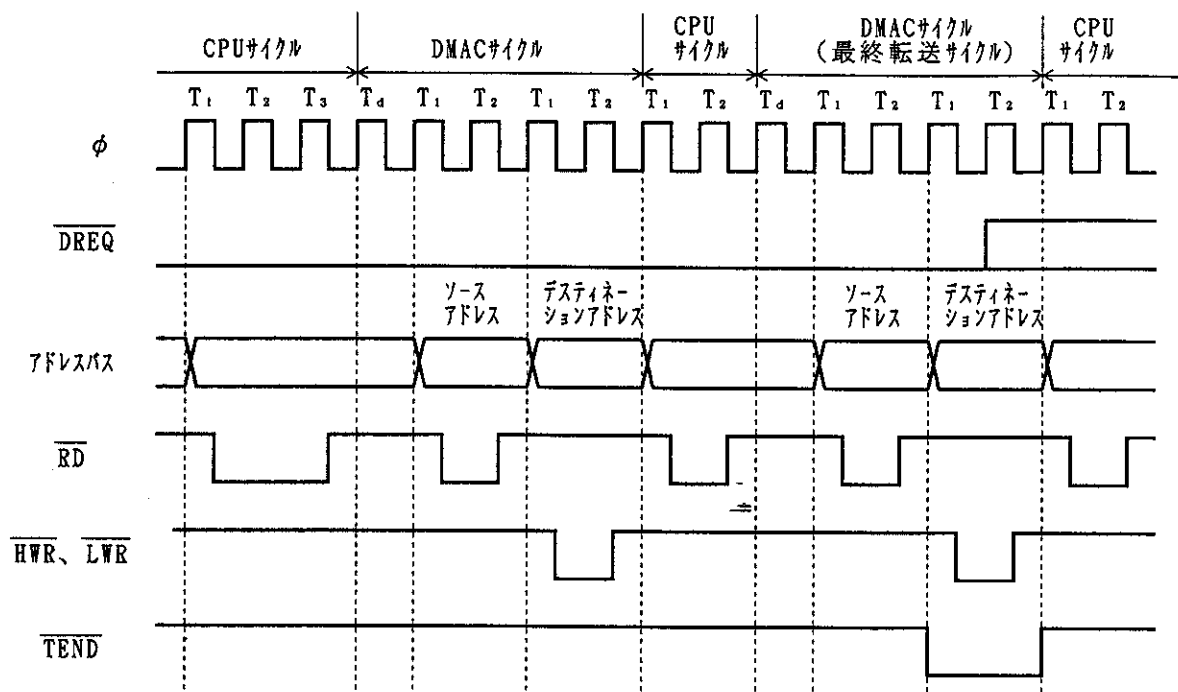


図 8.14  $\overline{\text{DREQ}}$ 端子“Low”レベル入力選択時のDMA転送バスタイミング

オートリクエストバーストモードの場合のタイミングを図8.15に示します。ワードサイズで16ビット2ステートアクセス空間から16ビット2ステートアクセス空間へ、3ワード転送する場合の例です。

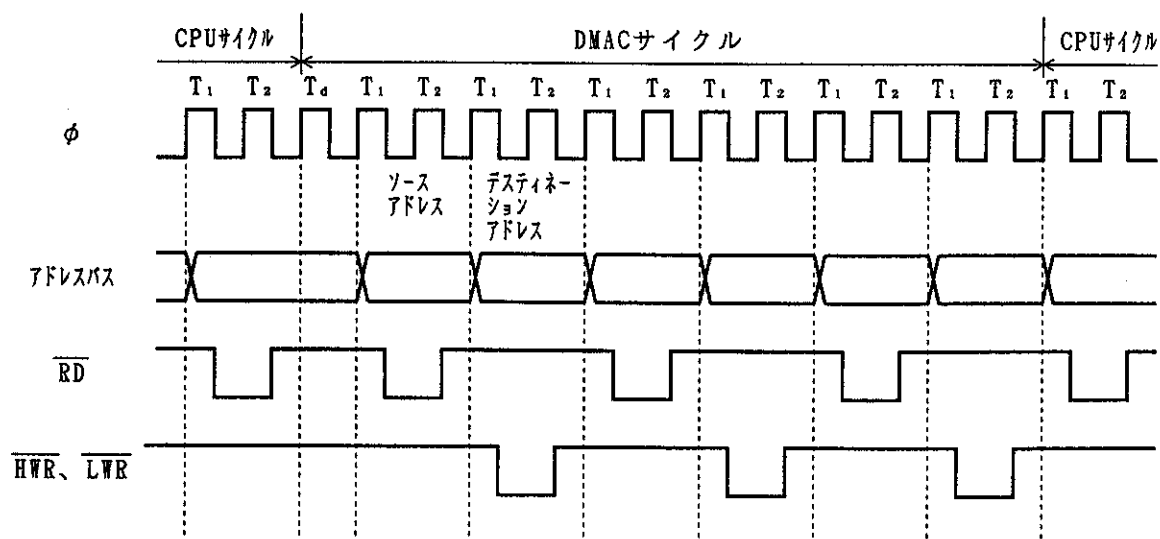


図 8.15 バーストモードDMA転送バスタイミング



DREQ端子でDMACを起動する場合、転送要求が発生してからDMACが動作を開始するまでの期間は最短で4ステートです。

転送要求発生後、DMACが動作を開始し転送を行うまで、DREQ端子のサンプリングは行いません。次のサンプリングは、ショートアドレスモードとノーマルモードの場合、リードサイクル終了後から行い、ブロック転送モードの場合、1ブロックの転送終了後から行います。

ノーマルモード時、DREQ端子の立下がりエッジでDMACを起動する場合のタイミングを図8.16に示します。

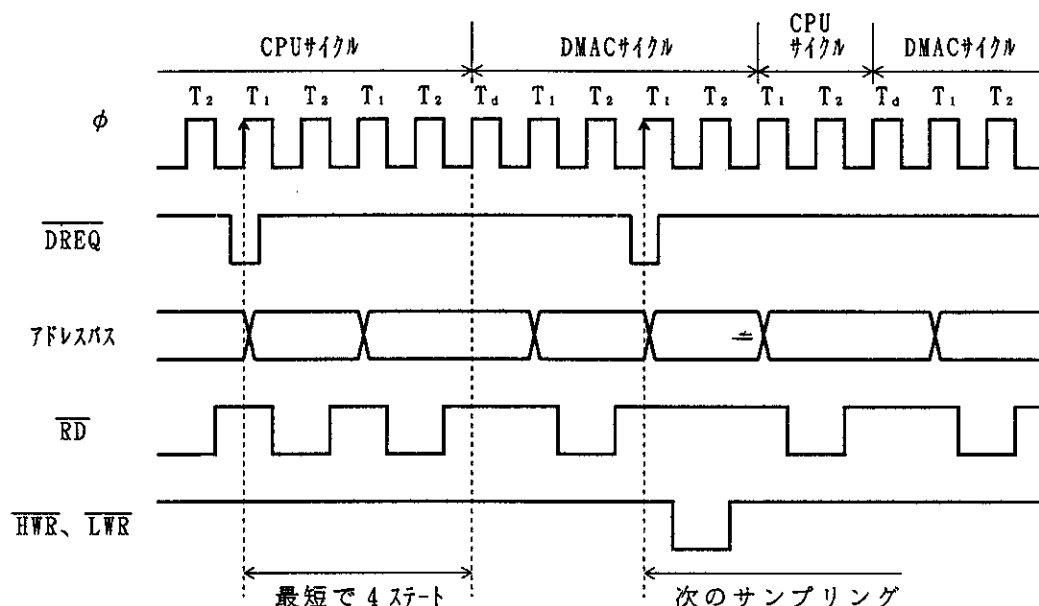


図 8.16 ノーマルモード時のDREQ端子の立下がりエッジによるDMAC起動タイミング

ノーマルモード時、DREQ端子の“Low”レベルでDMACを起動する場合のタイミングを図8.17に示します。

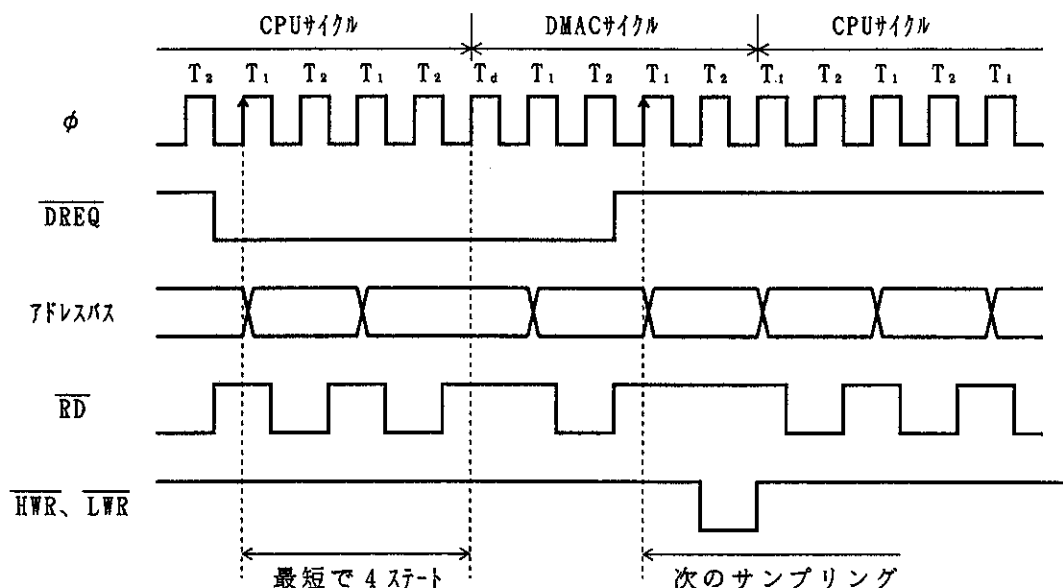


図 8.17 ノーマルモード時のDREQ端子の“Low”レベルによるDMAC起動タイミング

ブロック転送モード時、DREQ端子の立下がりエッジでDMACを起動する場合のタイミングを図8.18に示します。

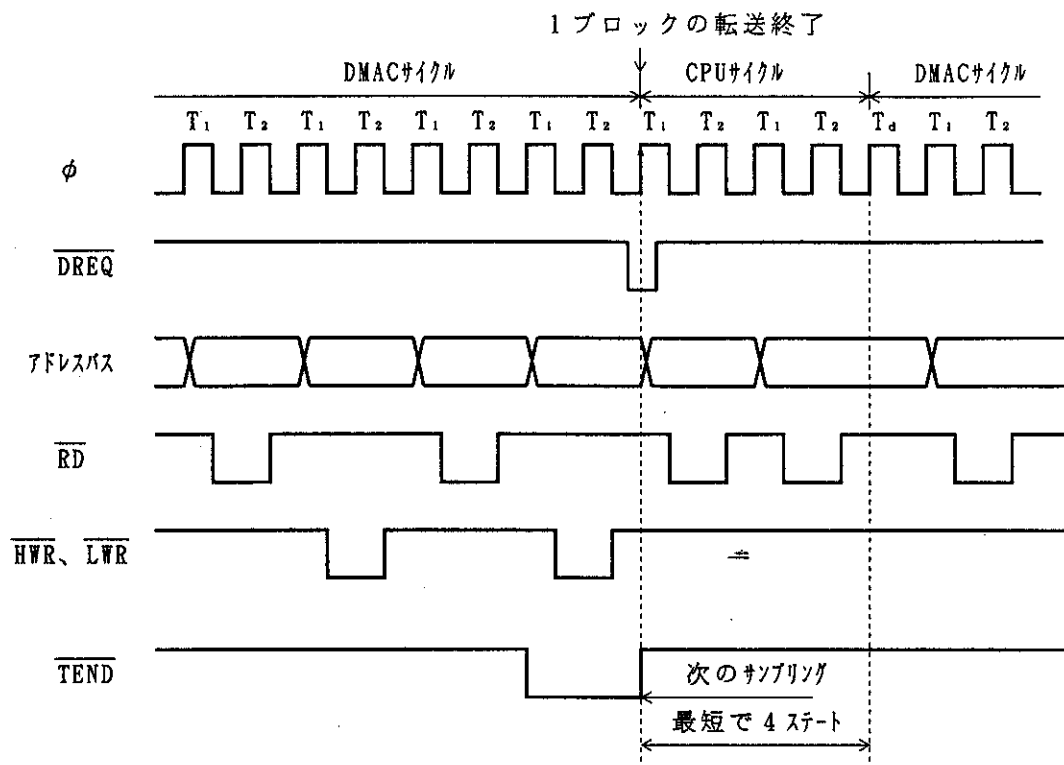


図 8.18 ブロック転送モード時のDREQ端子の立下がりエッジによるDMAC起動タイミング

#### 8.4.9 D M A C 複数チャネルの動作

D M A C のチャネル間順位はチャネル 0 > チャネル 1、また、チャネル A > チャネル B の順に優先順位が高くなっています。表 8.12 に D M A C のチャネル間優先順位を示します。

表 8.12 チャネル間優先順位

ショートアドレスモード	フルアドレスモード	優先度
チャネル 0 A	チャネル 0	高 ↑
チャネル 0 B		
チャネル 1 A	チャネル 1	↓ 低
チャネル 1 B		

複数のチャネルに対して同時に転送要求が発生した場合、または転送中に他のチャネルの転送要求が発生した場合、D M A C は以下のように動作します。＝

- ① 転送要求が発生するとバス権を要求し、D M A C がバス権を獲得する時点で最も優先順位の高いチャネルの転送が起動されます。
- ② 1 つのチャネルが起動されると、そのチャネルがバス権を解放するまで他のチャネルは保留となります。
- ③ ショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1 回の転送を行った後、バスを解放して①に戻ります。バスを解放した後、他のチャネルの転送要求が存在すると、再度バス権を要求します。
- ④ バーストモードの場合は転送終了後、ブロック転送モードの場合は 1 ブロックの転送後、バスを解放して①に戻ります。ただし、優先順位の高いチャネルの転送要求または優先順位の高いバスマスタのバス権要求が存在すると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点でバスを解放します。バスを解放した後、他のチャネルの転送要求が存在すると、再度バス権を要求します。

チャンネル0 AをI/Oモード、チャンネル1をバーストモードとし、チャンネル1が動作中、チャンネル0 Aの転送要求が発生した場合のタイミングを図8.19に示します。

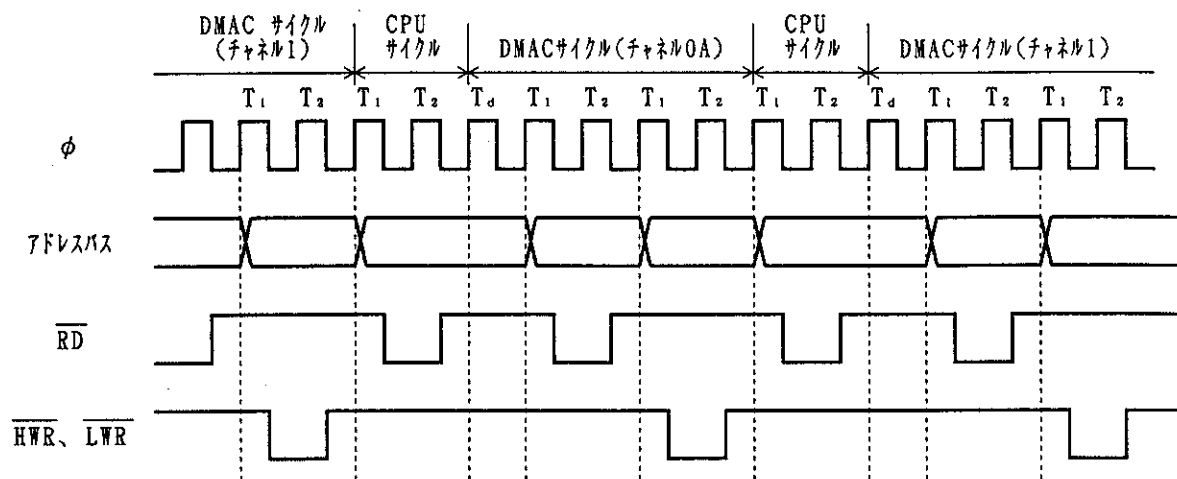


図 8.19 複数チャンネルの動作タイミング

#### 8.4.10 外部バス権要求、リフレッシュコントローラとDMACの関係

DMAC動作中に、BREQ端子による外部バス権要求、リフレッシュコントローラによるバス権要求があった場合、DMACは転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。この時点で転送要求が存在する場合、DMACは再度バス権を要求します。

チャンネル0でバーストモード転送中にリフレッシュサイクルが挿入される場合のタイミングを図8.20に示します。

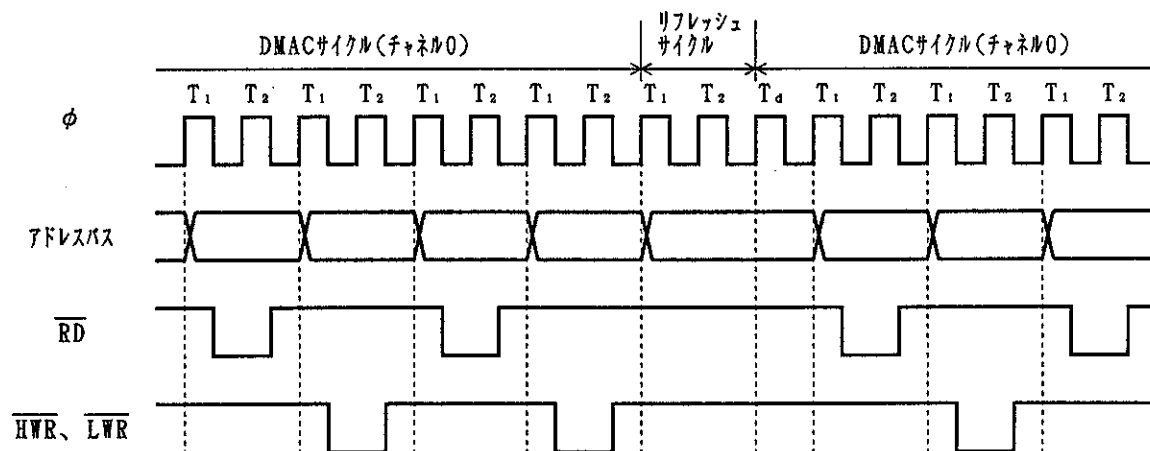


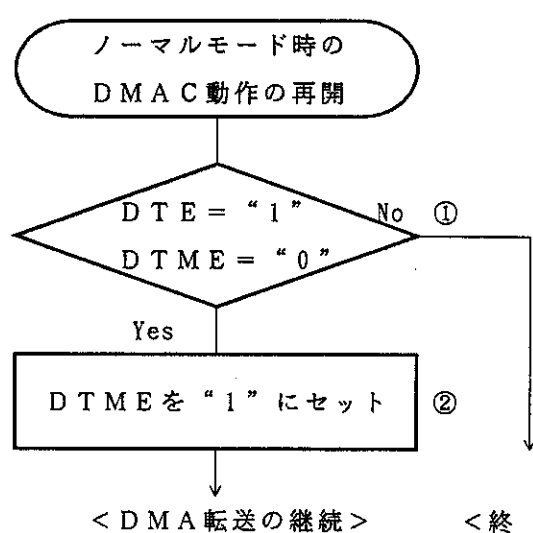
図 8.20 リフレッシュコントローラとDMACの動作タイミング

#### 8.4.11 NMI 割込みとDMAC

ショートアドレスモードでは、NMI 割込みはDMACの動作に影響を与えません。

フルアドレスモードでは、転送中にNMI 割込みが発生するとDMACは動作を中断します。フルアドレスモードでは、DTEビットとDTMEビットがいずれも“1”にセットされているとき、そのチャンネルが転送許可状態となります。NMI 割込みが発生するとDTMEビットが“0”にクリアされ、DMACは転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放し、CPUにバス権が移ります。ノーマルモードのときは、その後CPUがDTMEビットを“1”にセットすると中断した動作を再開します。この場合、事前にDTEビットが“1”にセットされ、DTMEビットが“0”にクリアされていることを確認してください。

チャンネル0をノーマルモードとしたときに、NMI 割込みによりDMAC動作が停止したとき、動作を再開する手順を図8.21に示します。



① DTE = “1”、DTME = “0”の状態を確認してください。

② DTCRBのDTME = “0”の状態をリードした後、DTMEビットに“1”をライトしてください。

図8.21 NMI 割込みにより停止したDMAC動作の再開手順例

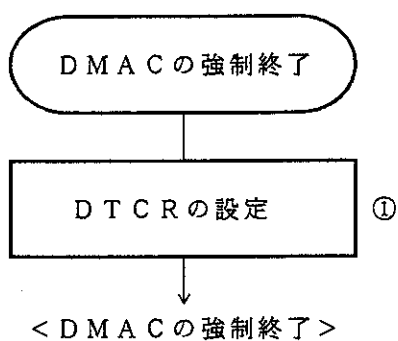
ブロック転送モード時のNMI 割込みについては「8.6.6 NMI 割込みとブロック転送モード」を参照してください。

#### 8.4.12 DMA C動作の強制終了

動作中のチャネルのDTEビットを“0”にクリアすると、転送中の1バイトまたは1ワードの転送を終了した時点でDMACは停止します。この後、DTEビットを“1”にセットするとDMACは動作を再開します。

フルアドレスモードの場合、DTMEビットを使用しても同様です。

DMACをソフトウェアで強制終了させる場合の手順を図8.22に示します。

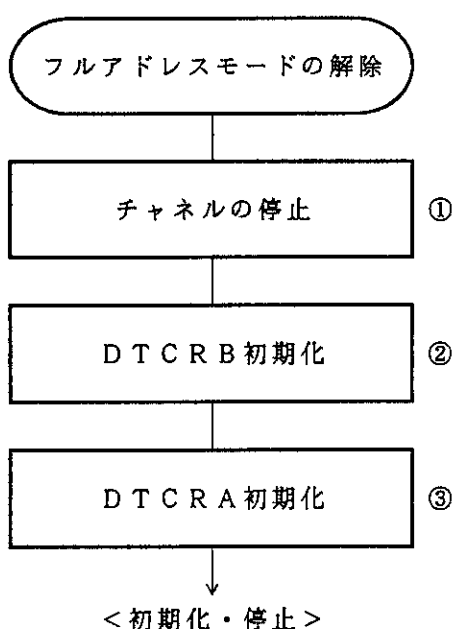


- ① DTCRのDTEビットを“0”にクリアしてください。DMAC動作強制終了後、割込みを発生させたくない場合はDTIEビットも同時に“0”にクリアしてください。

図 8.22 DMA C動作の強制終了手順

#### 8.4.13 フルアドレスモードの解除

フルアドレスモードに設定したチャネルを解除し、初期化する場合の手順を図8.23に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。



- ① DTCRAのDTEビットを“0”にクリアするか、転送が終了し、DTEビットが“0”になるまで待ってください。
- ② DTCRBの全ビットを“0”にクリアしてください。
- ③ DTCRAの全ビットを“0”にクリアしてください。

図 8.23 フルアドレスモードの解除手順例

#### 8.4.14 リセット、スタンバイモード、スリープモード時のDMA Cの状態

リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時、DMA Cはイニシャライズされ、停止します。

スリープモード中はDMA Cは動作を継続します。

スリープモード中のサイクルスチールモードのタイミングを図8.24に示します。

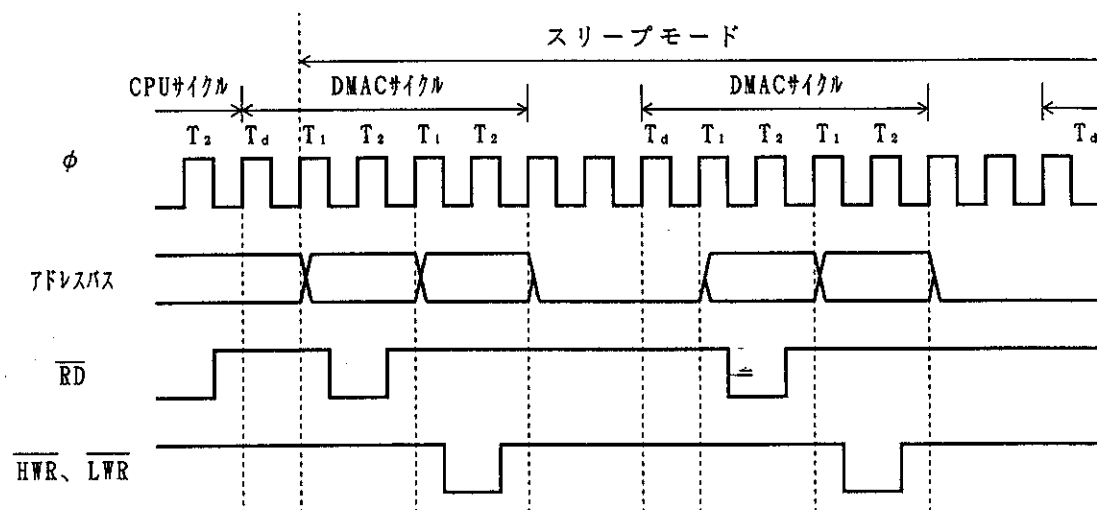


図 8.24 スリープモード中のサイクルスチールモードのタイミング

## 8.5 割り込み

DMA Cの割り込み要因は転送終了のみです。表 8.13に割り込み要因と優先度を示します。

表 8.13 DMA Cの割り込み要因

割り込み要因	内 容		割り込み優先 順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル0Aの転送終了による割り込み	チャンネル0の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル0Bの転送終了による割り込み	—	
DEND1A	チャンネル1Aの転送終了による割り込み	チャンネル1の転送終了による割り込み	
DEND1B	チャンネル1Bの転送終了による割り込み	—	

各割り込み要因は、対応するDTICRのDTIEビットにより許可/禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャンネル間の割り込みの優先順位は、チャンネル0 > チャンネル1、またチャンネルA > チャンネルBのように優先順位が高くなっています。

転送終了の割り込みブロック図を図 8.25に示します。

DTE = “0”の状態ではDTIEビットを“1”に設定すると、常に割り込みが発生します。

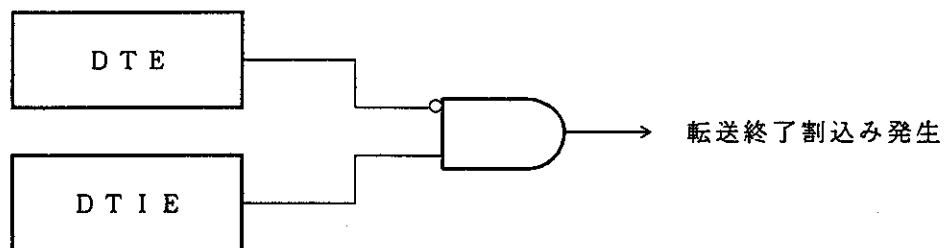


図 8.25 転送終了割り込みブロック図

フルアドレスモードでは、チャンネルBの転送終了割り込み（DENDB）は使用できません。また、DTMEビットは割り込み動作に影響を与えません。



## 8. 6 使用上の注意

### 8.6.1 ワードデータ転送時の注意

奇数アドレスから始まるワードデータはアクセスできません。転送データサイズをワードにした場合、MARおよびIOARは偶数値としてください。

### 8.6.2 DMACによるDMAC自体のアクセス

DMACサイクル中はDMAC自体へのアクセスが禁止されています。したがって、DMACのレジスタをソースまたはデスティネーションとして転送することはできません。

### 8.6.3 MARのロングワードアクセス

MARはMARRから始まるロングワードデータとしてアクセスすることができます。

(例)

```
MOV.L    #LBL,ERO
```

```
MOV.L    ERO,@MARR
```

このとき、バイトデータアクセスが4回行われます。第2バイト(MARE)と第3バイト(MARH)アクセスの間に、CPUがバスを解放する場合がありますので注意してください。

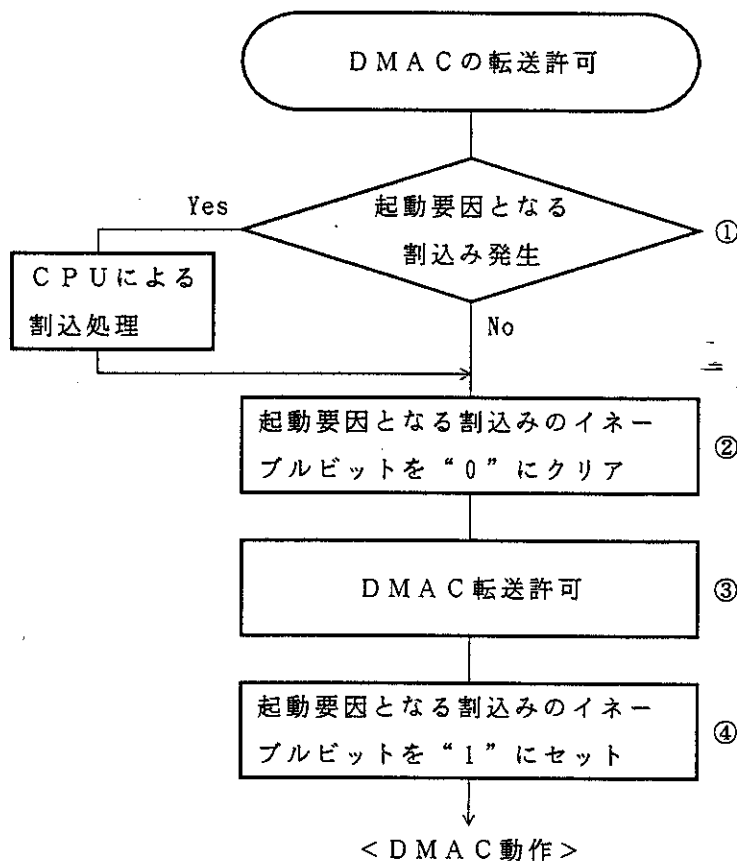
MARのリード/ライトはDMAC停止中に行ってください。

### 8.6.4 フルアドレスモード設定時の注意

フルアドレスモードは、2つのレジスタDTCRA、DTCRBによって制御されます。これらレジスタの設定時には、チャンネルBがショートアドレスモードで動作しないように注意してください。許可ビット(DTE、DTME)は、最後に“1”にセットしてください。

#### 8. 6. 5 内部割込みでDMACを起動する場合の注意

- (1) 内部割込みでDMACを起動する場合、起動要因を選択してからDMACを転送許可状態にするまでの期間に選択した起動要因が発生しないようにしてください。すなわち、DMACを転送許可状態にした後、起動要因となる内蔵周辺モジュールを動作させてください。内蔵周辺モジュールの動作中にDMACを許可状態にする場合、図8.26の手順で行ってください。



- ① DTE = “0”の状態では、割込みはCPUに要求されます。
- ② 起動要因となる内蔵周辺モジュールの割込みイネーブルビットを“0”にクリアします。
- ③ DMACを転送許可状態にします。
- ④ DMACに対する割込みを許可します。

図 8.26 内蔵周辺モジュールが動作中にDMACを転送許可状態にする場合の手順例

なお、DTE = “1”なおかつDTME = “0”の状態では、DMACは停止状態であり、またCPUにも起動要因となる割込みは要求されません。例えば、NMI割込みにより、DMACを停止状態にした場合は、起動要因となる割込みはCPUには要求されません。このとき、DMAC動作を打ち切る場合には、DTEビットを“0”にクリアし、CPUに割込みを要求させてください。DMAC動作を継続する場合には、DTMEビットを“1”にセットする前後で、図8.26の②、④の操作を行ってください。

- (2) ITUの割込み要求でDMACを起動する場合、割込みによって起動されるDMA転送が終了するまで、次の割込みが発生しないようにしてください。1つのITUの割込み要求で複数チャネルを起動する場合には、起動されるすべてのDMA転送が終了するまで、次の割込みが発生しないようにしてください。転送が終了するまでに次の割込みが発生すると、その割込みを選択しているチャネルが以降の起動要求を受け付けなくなる場合があります。

#### 8. 6. 6 N M I 割込みとブロック転送モード

ブロック転送モード中にN M I 割込みが発生するとD M A C は以下のように動作します。

- (1) N M I 割込みが発生するとD M A C は転送中の1バイトまたは1ワードの転送終了後、D T M E ビットを“0”にクリアして停止します。したがって、1つのブロックの転送途中で停止する場合があります。

ブロックの転送途中で停止したことは、ブロックサイズカウンタで判定できます。ブロックサイズカウンタが初期設定値以外の場合はブロックの転送途中で停止したことになります。

- (2) ブロックの転送途中で停止した場合、起動要因となる割込みフラグは“0”にクリアされています。起動要因の内部保持は行っていません。

- (3) D T M E ビットが“1”にセットされ、D T M E ビットが“0”にクリアされた状態では、D M A C は停止中であり、D M A C は起動要因となる割込み要求を受付けません。この状態で起動要因となる割込みが発生するとD M A C は動作せず、転送要求の内部保持も行いません。また、C P U にも割込みは要求されません。

このため、D T M E ビットを“1”にセットする前に起動要因となる割込みのイネーブルビットを“0”にクリアし、次にD T M E ビットを“1”にセットし、その後、割込みイネーブルビットを“1”にセットしてください。「8. 6. 5 内部割込みでD M A C を起動する場合の注意」を参照してください。

- (4) D T M E ビットを“1”にセットすると、D M A C は次の転送要求を待ちます。ブロックの転送途中で停止した場合、次の転送要求が発生するとブロックの残りを転送します。それ以外の場合、転送要求が発生すると次のブロックの転送を行います。

#### 8. 6. 7 M A R、I O A R のアドレス指定

M A R、I O A R で指定できるアドレスの範囲を表 8. 14 に示します。

表 8. 14 M A R、I O A R で指定できるアドレスの範囲

	1 M バイトモード	16 M バイトモード
M A R	H' 00000 ~ H' FFFFF (0 ~ 1048575)	H' 000000 ~ H' FFFFFFFF (0 ~ 16777215)
I O A R	H' FFF00 ~ H' FFFFF (1048320 ~ 1048575)	H' FFFF00 ~ H' FFFFFFFF (16776960 ~ 16777215)

1 M バイトモードのとき、M A R のビット 23 ~ ビット 20 は無視されます。

### 8. 6. 8 転送中断時のバスサイクル

DTEビットクリアによる強制終了や、NMI割込みによるDTMEビットクリアの転送停止により、DMAC内部で、すでに要求を保持しているチャンネルを停止させるとデッドサイクルが発生することがあります。このデッドサイクルにより中断したチャンネルのアドレスレジスタおよびカウンタの値が更新されることはありません。チャンネル0でオートリクエストサイクルスチール転送中に、チャンネル0のDTEビットをクリアした場合のタイミングを図8.27に示します。

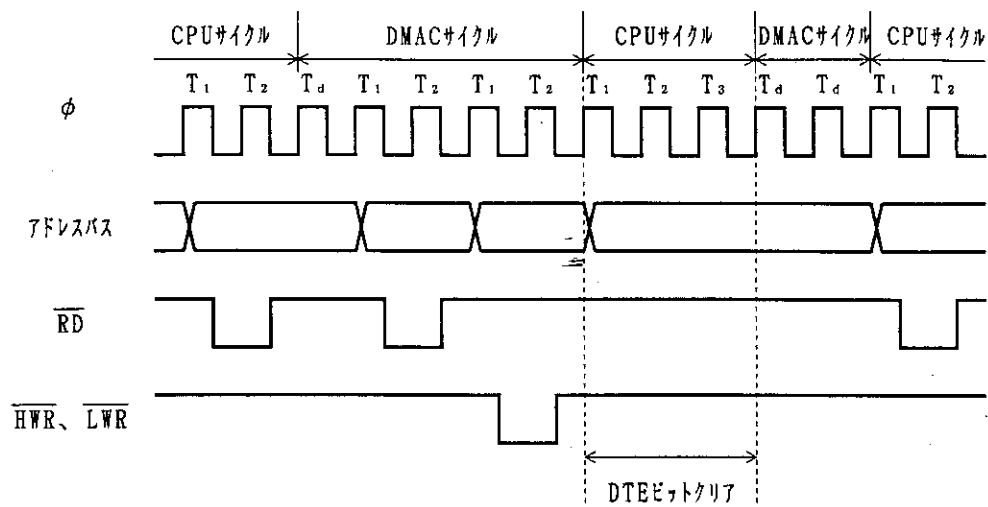


図 8. 27 サイクルスチールモードDMA転送の強制終了バスタイミング